

各種差動クロックドライバーの特徴と終端方法

OUT-23-1736

1. はじめに

高速で雑音耐性の高いクロック伝送を実現するために、差動形式のクロックが広く用いられています。セイコーエプソン（以下、エプソン）を初め、クロックメーカーからは、さまざまな形式の差動クロック商品が提供されており、システムの要求に合わせて適切な選択を行う必要があります。エプソンでは、標準的な形式である LV-PECL、LVDS、HCSL の 3 方式の差動クロック製品を提供してきましたが、このたび、独自開発した WA-LVDS を新たにラインナップに追加しました。本テクニカルノートでは、標準的な 3 方式のクロックの特徴、および、それらと比較した WA-LVDS の特徴を解説します。

2. 各差動クロックの概要

① LV-PECL

LV-PECL は “Low Voltage Positive Emitter Coupled Logic” を意味します。“Emitter” と付いていることから判るように、バイポーラトランジスタで構成される出力方式です。古い規格である ECL が負電源を必要としたことから、それと区別して正電源動作であることを示す “Positive” が付加されました。さらに 3.3 V 以下の電源電圧で動作する製品が開発された際に “Low Voltage” と付加されています。現在では、3.3 V 動作が一般的となっていますので、“PECL” といえば “LV-PECL” を指すことが一般的です。

後述するように、出力トランジスタが遮断することなく常時オン状態で動作する方式であるため、高速動作に適しています。また、比較的大振幅なため、位相雑音が少なく、耐ノイズ性にも優れます。

② LVDS

LVDS は “Low Voltage Differential Signaling” を意味します。文字通り、低振幅であることが特徴の方式です。National Semiconductor 社（のちに Texas Instruments 社が買収）が中心となって開発された伝送方式ですが、1994 年には、ANSI/TIA/EIA で標準規格化されており、今日では非常に多くの電子機器で利用されています。

典型的な振幅レベルは 0.35 V (Typ.) であり、振幅を抑えることで、小電流と高速動作の両立が図られています。低振幅であるために消費電流も少なく済むことが大きなメリットです。ただし、位相雑音の点ではやや不利を被ります。また、受信回路側で振幅を所望レベルまで拡大するために相応の電力を要すること、その際に位相雑音の劣化が生じがちであることに留意が必要です。

③ HCSL

HCSLは“High-speed Current Steering Logic”を意味します。この名称は、電流を正負の出力端子に交互に切り替えて出力する回路方式に由来しています。PCI-Express規格の中で提唱された方式で、今でも主要な用途となっています。エプソンが提供するHCSL製品の出力波形は、クロックエッジを過度に急峻とせず、適度なエッジレートが得られるように調整されています。これは、PCI-Express用途で使われるクロック周波数が100 MHzであり、その周波数に対してエッジレートが適切であることが求められているためです。このため、振幅レベルはLV-PECLとほぼ同等ですが、位相雑音はLV-PECLより不利となります。

④ WA-LVDS

近年は、LSI設計者によって様々な仕様のクロック受信回路が設計されるようになり、上記のような標準的な差動クロックでは対応できないことも増えてきました。そこで、もっとフレキシブルに使うことができ、特性も優れる差動クロックを提供したいとの考えのもとに、Wide-Amplitude LVDS（略称：WA-LVDS）をリリースしました。

WA-LVDSの負荷形態は、最もシンプルなLVDSの場合と同様であり、なおかつ、オフセット電圧レベルと振幅は、それぞれ4段階、10段階の中から選択可能です（詳細は後述）。これにより、多くの場合、余計な部品を用意することなく、ご使用のLSIにクロックを直接接続できます。もちろん、キャパシタを介してAC結合することも可能です。差動振幅を高めると、消費電流は増加しますが、位相雑音は低減します。このため、低消費指向のシステムにも低ノイズ指向のシステムにも対応します。LVDSと比較してPSNR（Power Supply Noise Rejection）が高いことも、本方式のメリットです。

3. 差動クロックの分類

一般にはあまり知られていませんが、差動クロックは、電流出力型と電圧出力型の2種類に大別されます。電流出力型は、負荷抵抗に規定の電流を流すことで、所望のクロック振幅を得るものです。クロックの電圧振幅は負荷抵抗の精度にも依存します。一方、電圧出力型は、規定の電圧を負荷に出力するものです。電圧振幅は、負荷抵抗の精度にはそれほど大きく依存しません。

また、負荷抵抗に流れる電流の観点から分類すると、電流が純交流のものと直流成分を含むものの2種類に分けることができます。直流成分を含む方式は、必然的に、余計な電流消費が上乘せされます。

これらの組み合わせで、差動クロックは4種類に分類することができます。下表にその分類を示します。新しく開発されたWA-LVDSは電圧出力型で、負荷抵抗に流れる電流は純交流です。これは、差動クロックとして理想的な組み合わせです。

表1 差動クロックの分類

	電圧出力型	電流出力型
純交流	WA-LVDS	LVDS
交流 + 直流	LV-PECL	HCSL

注記1：一部製品には、LV-PECLを電流出力型で疑似的に実現したものもあります。

注記2：Renesas社（旧IDT社）のLP-HCSL（Low-Power HCSL）はHCSLの一種ですが、上表ではLV-PECLと同じ分類に属します。

4. 出力電圧と電流

既存の3方式（LV-PECL, LVDS, HCSL）について、出力電圧の違いを見てみましょう。図1をご覧ください。

まず特徴的なのは、LV-PECL です。LV-PECL の出力電圧は、電源電圧 V_{CC} を基準に定義されます。したがって、電源電圧によって出力電圧値が変わります。Hレベル出力電圧 V_{OH} とLレベル出力電圧 V_{OL} は図中に示された通りの仕様で、振幅は V_{CC} によらず 0.7625 V (Typ.) です。

LVDS は、オフセット電圧 V_{OS} が 1.25 V と規定されており、電源電圧には依りません。差動振幅 V_{OD} は 0.35 V であり、3方式の中では際立って小さな値であることが判ります。

最後のHCSLは、Lレベルが 0 V であることが特徴的です。仕様では、差動交差電圧 V_{CR} が 0.4 V と規定されています。Hレベルは明確な規定がないことが多いですが、必然的に 0.8 V 程度で設計されます。つまり、LV-PECL とほぼ同レベルの振幅です。

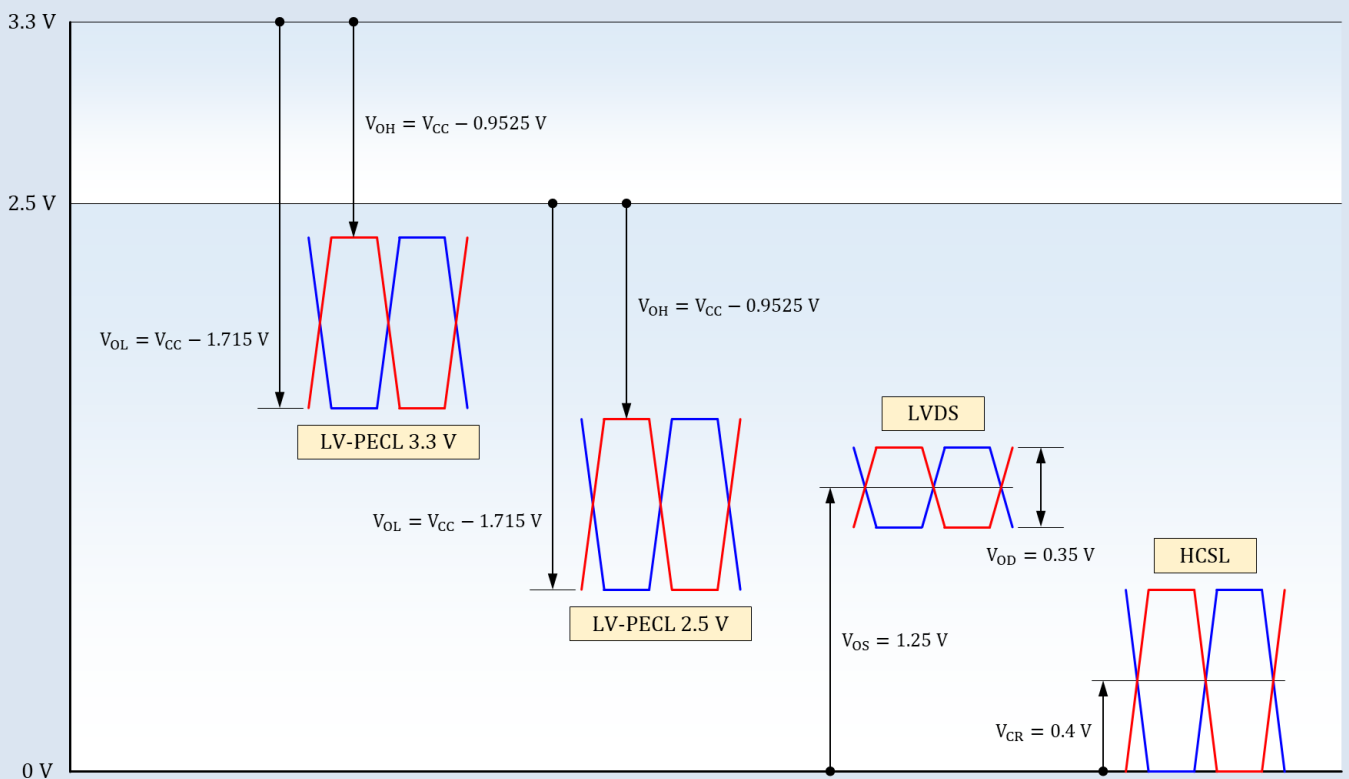


図1 差動クロックの出力電圧比較

次に出力電流について見てみます。ここでいう出力電流とは、図1の出力電圧を形成するために、ドライバの出力端子から負荷側へ流出（あるいは負荷から流入）する電流を意味します。図2を参照してください。

LV-PECL の出力電圧は電源電圧に依存していましたが、出力電流については電源電圧に依らず同一となります。これは、LV-PECL の終端電位も電源電圧基準の仕様となっているためです。LV-PECL は、L レベルを出力する際にも 5.7 mA を出力します。これは、消費電流の観点では大きなデメリットとなります。

LVDS が特徴的であるのは、先に説明したように、出力電流が純交流であることです。純交流であるために無駄な電流を必要とせず、なおかつ最大出力電流は 3.5 mA に抑えられていますので、低消費電力用途に適した方式といえます。また、クロック信号をキャパシタで AC 結合することが可能です。

HCSL は、L レベル出力時には電流を出力しません。このため、出力電圧振幅は LV-PECL と同程度ですが、出力電流は低く抑えられます。

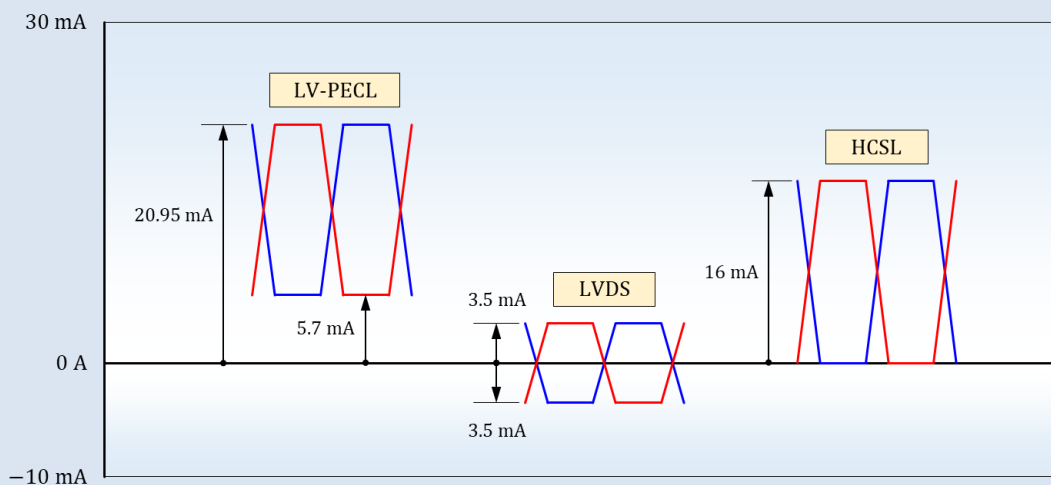


図 2 差動クロックの出力電流比較

5. 各差動クロックの動作と終端方法

それでは、各方式の回路動作や負荷の接続方法について、詳しく説明していきます。

① LV-PECL

LV-PECL の典型的な終端方法を図 3 に示します。50 Ω 負荷は、グランドではなく、 $V_{CC} - 2V$ に終端する仕様となっています。 $V_{CC} - 2V$ の電位はユーザーが作り出さなければなりません。このため、クロック受信回路はやや複雑となります。

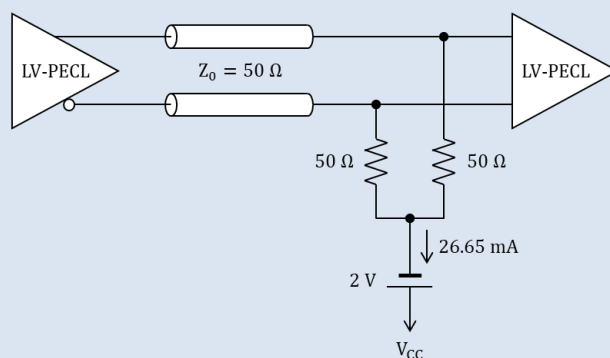


図 3 LV-PECL の終端

Hレベル出力側、Lレベル出力側、それぞれの負荷に流れる電流は図 2 に示しましたが、その値は次のように計算されます。

$$I_{OH} = \frac{V_{CC} - 0.9525 - (V_{CC} - 2)}{50} = 20.95\text{mA}$$

$$I_{OL} = \frac{V_{CC} - 1.715 - (V_{CC} - 2)}{50} = 5.7\text{mA}$$

これより、両出力端子からは、合計 26.65 mA の電流が出力されます。

終端のためだけに $V_{CC} - 2\text{V}$ の定電圧源を準備することは現実的ではありませんので、代替手法が用いられます。図 4 は Y 終端と呼ばれるもので、26.65 mA の電流を抵抗に流して、 $V_{CC} - 2\text{V}$ に相当する電圧を作り出す手法です。抵抗値 R_T は、図中に記したように、 V_{CC} に応じて設定する必要があります。 $V_{CC} = 3.3\text{V}$ であれば $R_T = 49\ \Omega$ 、 $V_{CC} = 2.5\text{V}$ であれば $R_T = 19\ \Omega$ となります。終端ノードを理想的な AC グランドに近づけるため、 R_T と並列にキャパシタを接続することもあります。

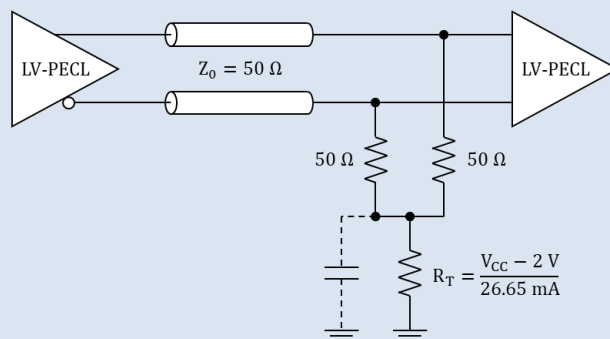


図 4 LV-PECL の終端 (Y 終端)

図4の R_T を2本の抵抗($2R_T$)に分割して、それぞれを負荷抵抗($50\ \Omega$)と一体化させることで、抵抗を2本で済ませる手法も見受けられます。その手法を図5に示します。抵抗値は、 $V_{CC} = 3.3\text{ V}$ であれば $148\ \Omega$ 、 $V_{CC} = 2.5\text{ V}$ であれば $88\ \Omega$ となります。出力電流の総和は図4と同様の結果となりますが、それぞれの出力端子から流れ出る電流値は異なりますし、それに起因して電圧値にも若干のずれが生じます。また、 $50\ \Omega$ でACグランドに終端される回路になっていませんので、伝送線路の先にこの終端を行うことはできません。クロックドライバーと受信回路が近接しているときのみ可能な手法です。エプソンでは、この手法での特性保証はしておりませんので、ご了承ください。

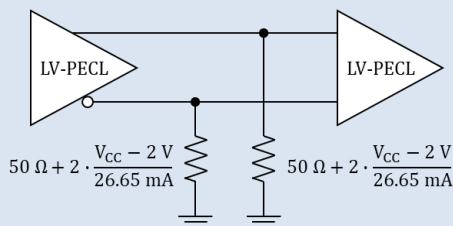


図5 LV-PECLの終端（簡易方式）

最後に、テブナン（Thevenin）終端と呼ばれる手法を紹介します。これは、抵抗器を4本必要としますが、もっとも素直な手法と考えられます。図6左図のように、2つの抵抗器 R_1 と R_2 で電圧 V_{CC} を分圧して、その中点ノードを取り出したとします。このとき、テブナンの定理を用いてこの回路を等価変換すると、同右図が得られます。等価的に、 $V_{CC} - 2\text{ V}$ と $50\ \Omega$ が作り出されていることが判ります。この回路を図3の負荷回路に適用すると、図7になります。これが、テブナン終端と呼ばれるものです。この手法を用いる場合、 V_{CC} 電源の出力インピーダンスは R_1 の値に対して十分に低く保つ必要があります。また、 V_{CC} 電位がノイズであると、その影響がクロック波形にも及ぶ可能性があります。その点にも注意が必要です。

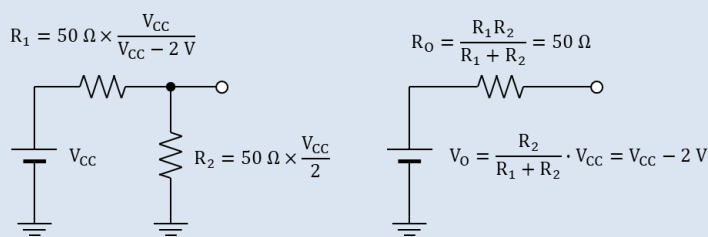


図6 テブナンの定理を用いた等価的な終端回路生成

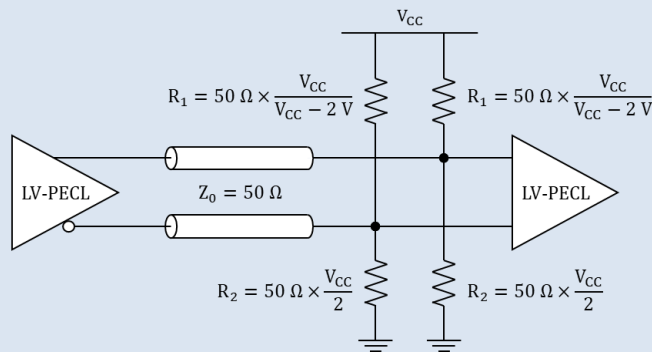


図 7 LV-PECL の終端（テブナン終端）

次に、LV-PECL ドライバの内部回路構成を図 8 に示します。出力段は、コレクタ接地のオープンエミッタ出力です。ベース電位に追従してエミッタ電位が変わることから、一般的にはエミッタフォロア（Emitter Follower）と呼ばれる回路になります。電流 I を MOS スイッチで切り替えることによって、バイポーラトランジスタのベース端子には、 V_{CC} または $V_{CC} - 0.8 \text{ V}$ のいずれかの電圧が交互に印加されます。

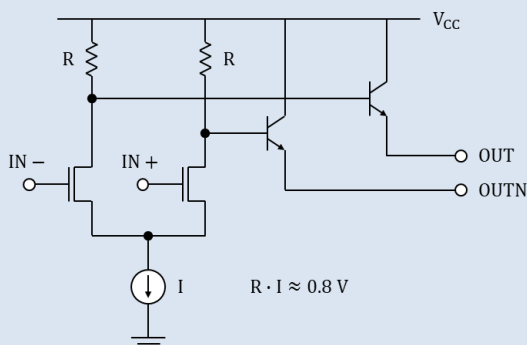


図 8 LV-PECL ドライバ回路

LV-PECL の出力電圧と電流が、どのように決定されるのか、図 9 を参照して説明します。バイポーラトランジスタを流れる電流 I_{BJT} と負荷抵抗を流れる電流 I_L を、それぞれ出力電圧 V_{OUT} をパラメータとしてグラフに表しています。両者が吊り合う点で、出力電圧と電流が定まります。

ベース電圧 V_B が V_{CC} に等しい場合、 I_{BJT} はグラフの赤線となります。 I_{BJT} と I_L が吊り合うのは、 V_{OUT} が $V_{CC} - 0.9525 \text{ V}$ のときで、そのときの電流値は 20.95 mA でなければなりません。そのような特性が満足されるように、バイポーラトランジスタのサイズを調整することで、LV-PECL の H レベル仕様が満足されます。このトランジスタのベース電圧を $V_{CC} - 0.8 \text{ V}$ まで引き下げると、 I_{BJT} は青線となります。このとき、 I_{BJT} と I_L が吊り合うのは V_{OUT} が $V_{CC} - 1.715 \text{ V}$ のときで、そのときの電流値は 5.7 mA となります。こうして、LV-PECL の L レベル仕様が満足されます。

もし、負荷が 50 Ω からずれていると、 I_L のグラフ（黒線）の傾きが増減します。しかし、その場合でも出力電圧の変化量はわずかであることが理解できると思います。このことから、LV-PECL は電圧出力型の回路であると言えます。なお、エプソンの近年の製品は、バイポーラトランジスタの代わりに MOS トランジスタを用いて LV-PECL 回路を実現しています。図 8 とは異なる独自の回路構成を用いていますが、ここでは説明を省略します。

V_{OH} , V_{OL} が小数点以下 3~4 桁の細かい数値で規定されていることに違和感があるかも知れません。おそらく最初に世に出た回路の特性に倣って仕様が定められたからだと思います。この数値は、メーカーや製品によって多少の違いが見られますので、製品を選ぶ際にはデータシートを確認してください。

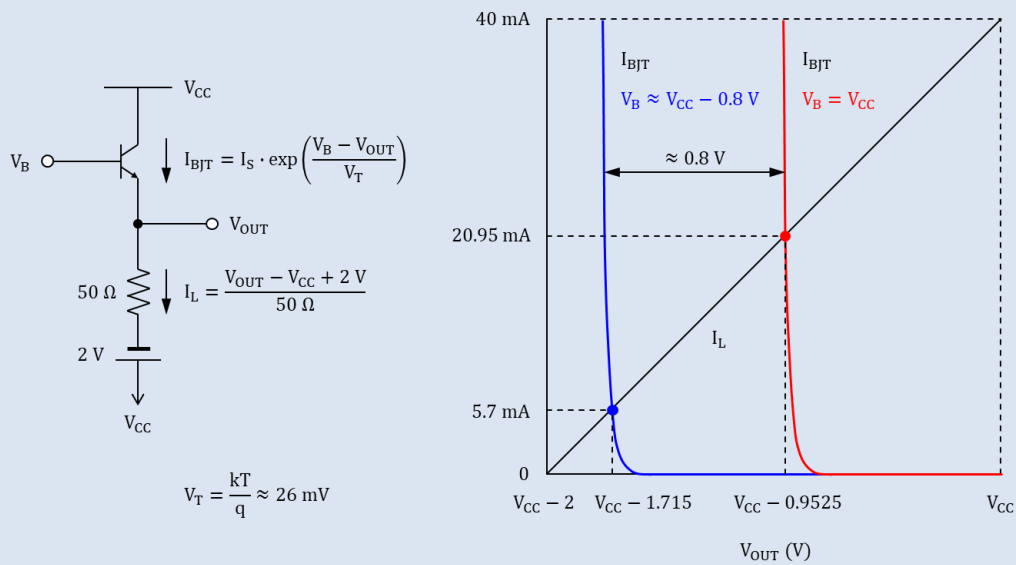


図 9 LV-PECL の出力電圧・電流の決まり方

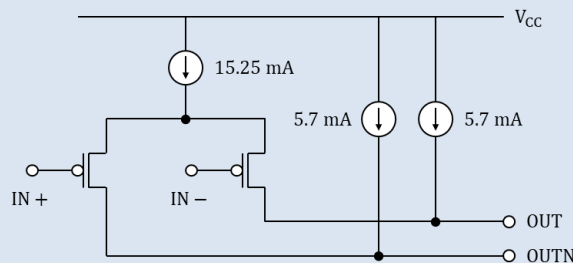


図 10 電流出力型の疑似 LV-PECL ドライバ

LV-PECL 製品の中には、図 10 のような電流出力型の回路を採用しているものもあります。負荷が 50Ω であれば電圧型と同じ結果が得られますが、図 5 の簡易方式の終端は適用できません。この回路は、エミッタフォロアの回路と比べて寄生インダクタンスの影響を受けやすく、波形にリングングが重畳しがちです。エプソンでは、SAW 発振器の一部にこのような回路を使っているものがありましたが、現在はすべて電圧出力型に統一されています。

② LVDS

LVDS の終端方法を図 11 に示します。LVDS は出力電流が純交流ですので、 50Ω 負荷の接続先が、同左図のようにフローティングノードとなります。このノードは 1.25 V で一定なため、等価的に AC グランドとなります。 1.25 V の電圧はドライバ側で設定されますので、受信側にバイアス電圧を設ける必要はありません。コモンモードノイズを除去するために、終端先にキャパシタを接続して、より強固な AC グランドとすることもできます。通常はその必然性はなく、同右図のように 2 本の 50Ω 抵抗を 100Ω 抵抗 1 本に置き換えて、差動 100Ω 終端とします。

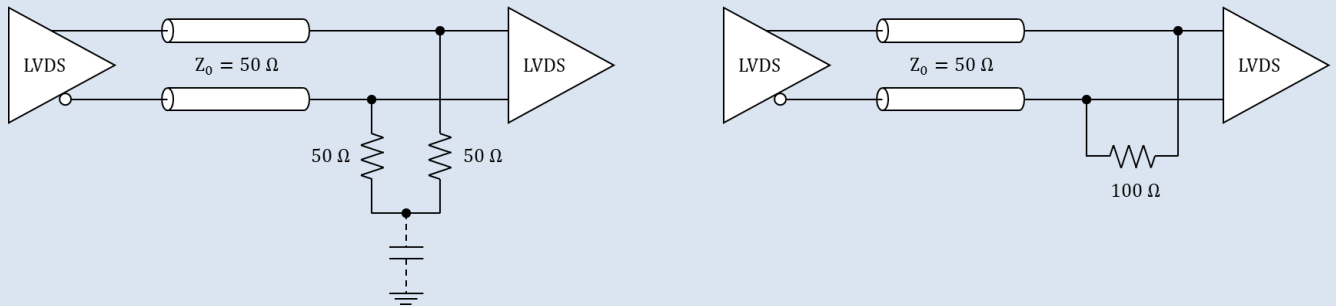


図 11 LVDS の終端

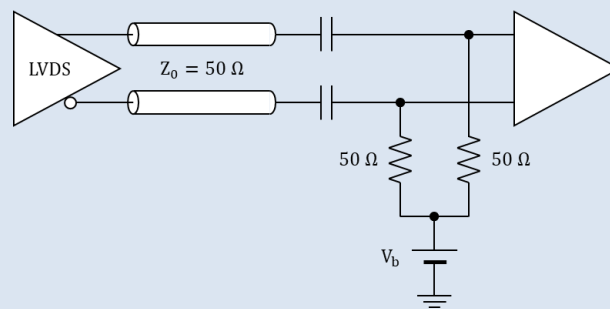


図 12 LVDS の終端 (AC 結合)

LVDS の出力電流は純交流であるため、図 12 のようにキャパシタを介して AC 結合で使うことができます。キャパシタの挿入位置は伝送線の送信側、受信側、どちらでも構いません。このとき、受信側にはバイアス電圧 V_b を用意する必要があります。 V_b の値は、受信回路の仕様に合わせて任意に設定することができます。 V_b は十分にインピーダンスの低い電圧源として 50 Ω 終端を保证するか、あるいは逆に十分に高いインピーダンスとして差動 100 Ω 終端を保证する必要があります。図 7 に示したテブナン終端を使うこともできます。なお、クロックの波形シンメトリ（デューティサイクル）が 50 %からずれている場合は、出力電流に直流成分が現れてきます。その際、AC 結合用のキャパシタに電荷が溜まってしまい、波形に変化が生じることがあります。影響度合いは製品の設計により異なりますので、十分に確認した上で採用してください。

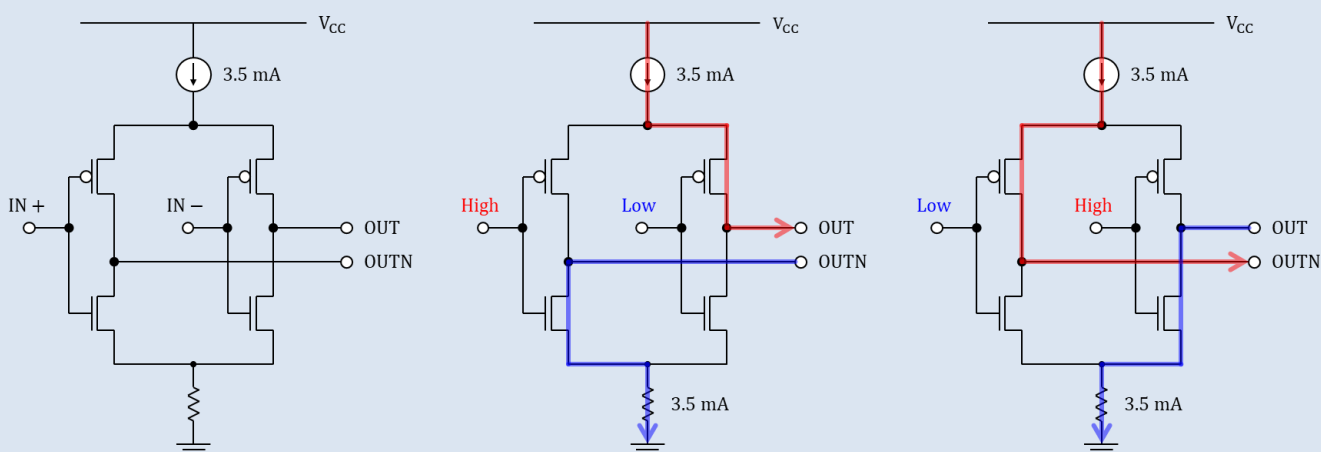


図 13 LVDS ドライバ回路

LVDS ドライバの内部回路構成を図 13 に示します。3.5 mA の定電流源と、4 つの MOS スイッチ、および抵抗器から成り立ちます。抵抗器は能動素子を用いた可変抵抗です。同図の中央と右図に電流経路の切り替わり動作を示しています。この 2 つの状態を交互に繰り返すことで、負荷に交流電流を流しています。グランド側の抵抗器には常時 3.5 mA が流れますので、抵抗値を調整することでオフセット電圧 V_{OS} が変わります。LVDS ドライバには、 V_{OS} が 1.25 V となるように機能する CMFB（Common Mode Feedback）回路が付加されています。CMFB 回路には、出力の実波形をモニターするもの、IC 内部のレプリカ回路で V_{OS} を推測するもの、および、両者のハイブリッドタイプが存在します。

③ HCSL

HCSL の終端方法を図 14 に示します。同図左は受信側で終端する例を示しています。シンプルで分かりやすく、問題も少ない終端方法です。High レベル出力側の負荷には HCSL ドライバから 16 mA の電流が供給されて、0.8 V の振幅が発生します。一方、Low レベル出力側の負荷への電流供給は遮断されて、電圧はグランドレベルとなります。

PCI-Express の規格には、図 14 の右図のような使い方が示されています。終端抵抗がドライバ側に設けられており、ドライバから出力される電流は、50 Ω 負荷と受信回路側に 2 分されて流れます。受信端では波形が全反射して振幅が 2 倍となり、0.8 V の波形が形成されます。反射して送信側に戻った波形は 50 Ω で吸収されますが、HCSL ドライバが接続されているために、インピーダンスはやや 50 Ω よりも低めとなっています。この影響を軽減するために、ドライバの出力端に 33 Ω の抵抗を挿入しています。ただ、このように対処したとしても、完全なインピーダンスマッチングを確保することが難しく、一部の波形は送信端で再反射してしまいます。したがって、受信端での波形は伝送線の電気長によっても変化します。その点を念頭において設計してください。クロックメーカーから提供される IBIS モデルを用いることで、波形をシミュレーションすることができます。

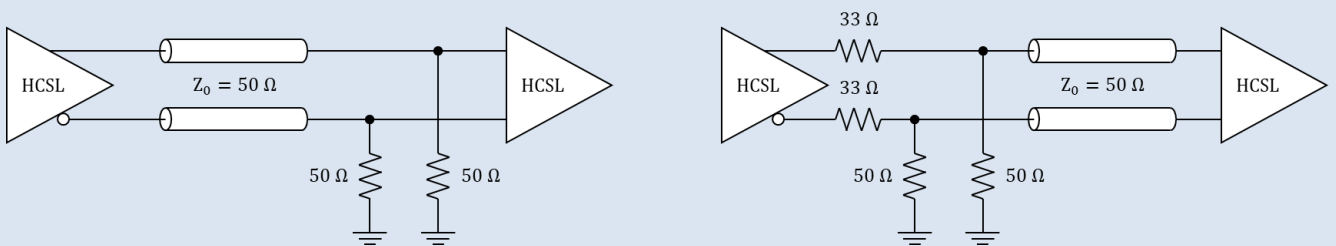


図 14 HCSL の終端

図 14 は差動 100 Ω でのクロック伝送を示していますが、それとは異なり、差動 85 Ω が利用されることもあります。この目的としては、伝送線路の間隔を狭めて基板の小サイズ化を図ること、あるいは、基板厚みを薄くすることなどが挙げられます。この場合は、終端抵抗は 50 Ω の代わりに 42.5 Ω となり、ドライバの出力には 33 Ω の代わりに 27 Ω を接続することが推奨されます。電圧振幅は同一としなければならないため、(100/85)倍の出力電流が必要です。

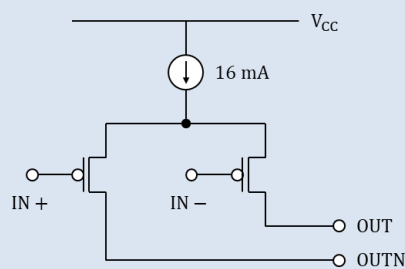


図 15 HCSL ドライバ回路

HCSL ドライバの内部回路構成を図 15 に示します。16 mA の定電流を MOS スイッチで 2 つの出力端子に交互に流す簡単な構成となっています。図 10 の回路とよく似ており、5.7 mA の無駄な定電流回路を取り除いたものが、この回路に相当します。

定電流源の AC インピーダンスは理想的には ∞ 、MOS スイッチの AC インピーダンスは理想的には 0 (オン状態) または ∞ (オフ状態) ですので、図 14 右の接続の場合に、HCSL ドライバはインピーダンスミスマッチの原因とはならないはずですが、しかしながら、現実的には寄生容量を初めとして、理想状態を崩す因子が存在するため、インピーダンスミスマッチは不可避となります。

④ WA-LVDS

WA-LVDS の終端方法は、LVDS と全く同一ですので図 11, 12 を参照してください。LVDS では負荷を AC 結合とした場合、波形シンメトリ (デューティサイクル) が 50 % からずれると直流成分の電流が発生してしまい、キャパシタに電荷が溜まる懸念がありました。WA-LVDS は電圧出力型のため、そのような懸念が少ないことが長所です。

LVDS はオフセット電圧 (V_{OS}) が 1.25 V、差動出力電圧 (V_{OD}) が 0.35 V で固定でしたが、WA-LVDS では、下表のように、それぞれ 4 段階、5 段階の中から選択することが可能です。選択できる値は電源電圧 V_{CC} に依ります。AC 結合をする場合、 V_{OS} は $V_{CC}/2$ に近い値を選択してください。

表 2 WA-LVDS の V_{OS} 設定

V_{OS}	V_{CC}		
	1.8V	2.5V	3.3V
1.65 V	—	—	○
1.5 V	—	—	○
1.25 V	—	○	○
0.9 V	○	○	○

表 3 WA-LVDS の V_{OD} 設定

V_{OD}	V_{CC}		
	1.8 V	2.5 V	3.3 V
0.8 V	—	○	○
この間 0.05 V ステップ	—	○	○
0.4 V	—	○	○
0.35 V	○	○	○

WA-LVDS ドライバの内部回路構成を図 16 に示します。 V_{CC} 側に N 型の MOS トランジスタ、グランド側に P 型の MOS トランジスタが接続されており、ソース端子が出力となっています。これは、LV-PECL ドライバのエミッタフォロア回路と同様で、ソースフォロア回路と呼ばれる構成です。出力電圧レベルはゲート端子に入力される $IN+$ と $IN-$ の電位に依存します。所望の V_{OS} と V_{OD} に一致するよう、独自の回路で入力振幅の電位制御を行っています。図 16 の中央と右図に電流経路の切り替わり動作を示していますが、その挙動は LVDS と同一です。

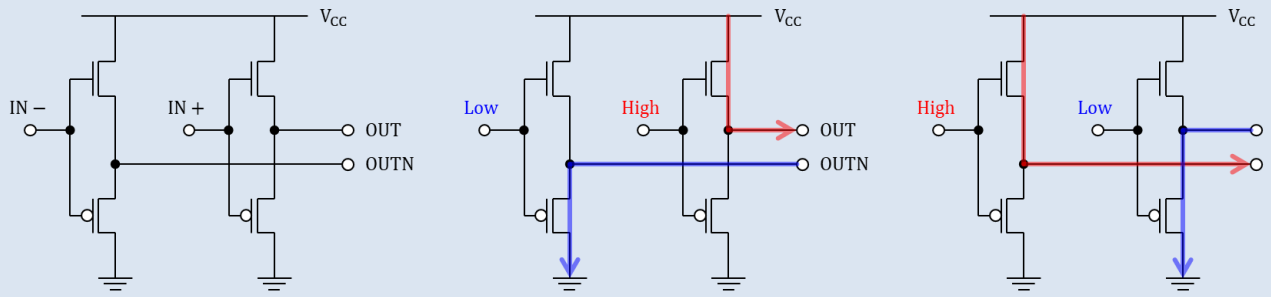


図 16 WA-LVDS ドライバ回路

WA-LVDS の出力電圧と電流が、どのように決定されるのか、図 17 を参照して説明します。N 型 MOS トランジスタを流れる電流 I_{DN} 、 $100\ \Omega$ の負荷抵抗を流れる電流 I_L 、P 型 MOS トランジスタを流れる電流 I_{DP} のすべてが釣り合う点で、出力電圧と電流が決まります。

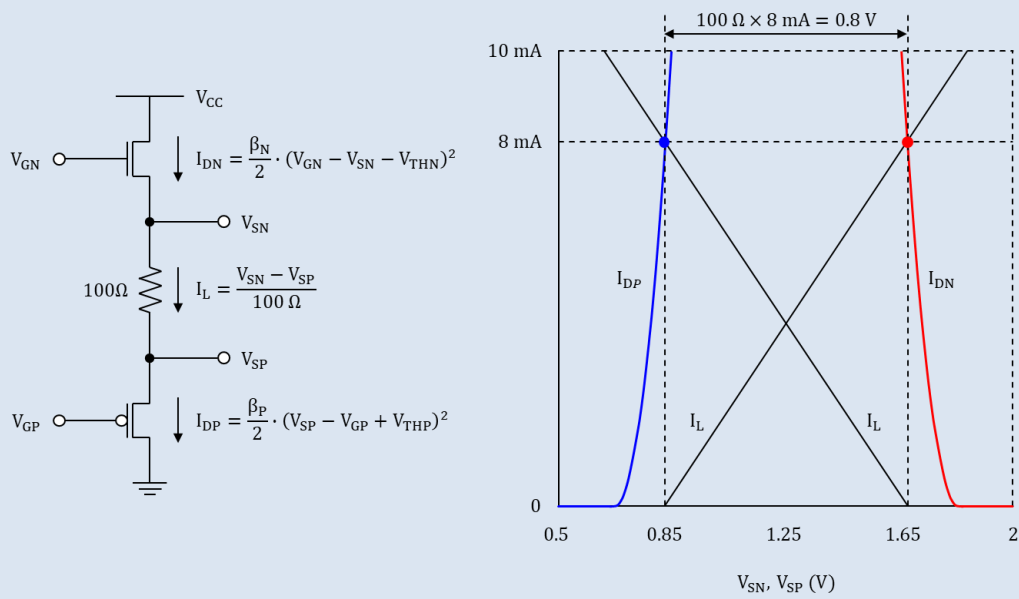


図 17 WA-LVDS の出力電圧・電流の決まり方

図 17 右のグラフは、 $V_{OS} = 1.25 \text{ V}$ 、 $V_{OD} = 0.8 \text{ V}$ の波形を出力する状態を示しています。 I_{DN} と I_{DP} は、それぞれの MOS トランジスタのゲートソース間電圧に依存します。ソース電圧が変わるとすべての電流が変化します。 I_{DN} と I_{DP} に同一の電流（図では 8 mA ）が流れる V_{SN} と V_{SP} を仮定したときに、その V_{SN} と V_{SP} の差分が、電流値の 100 倍（図では 0.8 V ）となれば、 I_L も同じ電流値となって回路が平衡します。

MOS トランジスタのゲート電圧 V_{GN} と V_{GP} を適宜調整すれば、上記の平衡点を任意に設定できるため、所望のオフセット電圧 V_{OS} と差動出力電圧 V_{OD} に合わせ込むことが可能です。WA-LVDS 用の IC は、内部にそのための調整機構を有しています。

6. 出力振幅と出力電流, ジッタの関係

今回取り上げた 4 方式について、出力振幅と出力電流の関係を比較してみます。図 18 をご覧ください。

WA-LVDS（青●）は差動出力電圧 V_{OD} を 10 段階で切替え可能なため、10 個のプロットがあります。波形の形成方法が LVDS と同様ですので、 V_{OD} が 0.35 V のときは LVDS と一致します。振幅を増やすごとに電流は増加しますが、 $V_{OD} = 0.8 \text{ V}$ まで増やしても、出力電流は 8 mA で済んでいます。これは、出力電流が純交流であるためです。

一方、HCSL は、振幅が同じ 0.8 V であっても、倍の 16 mA を要しています。LV-PECL は、振幅がやや小さいにも関わらず、 26.65 mA の電流が必要です。このように並べて比較すると、WA-LVDS がいかに効率的な方式であるかがお判りいただけるかと思います。

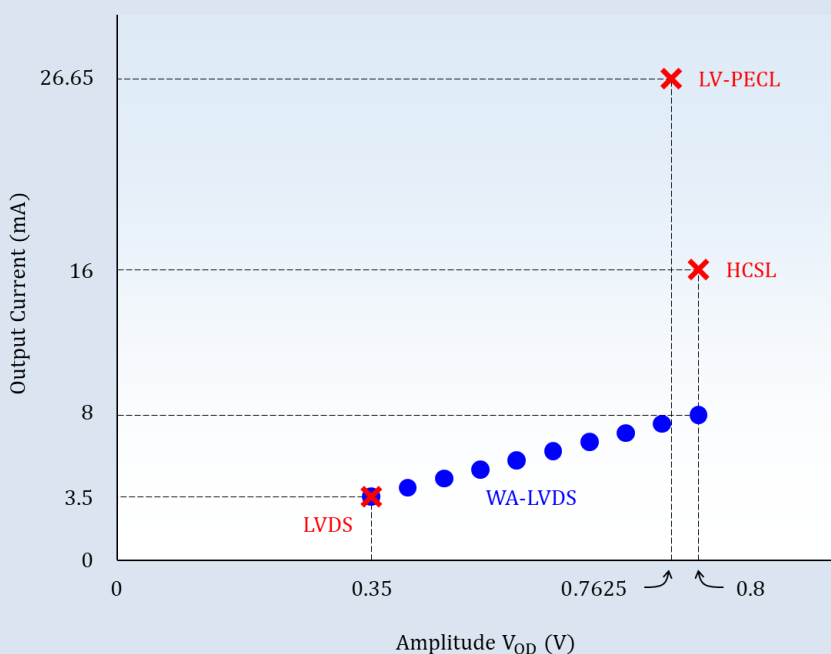


図 18 各方式の振幅と出力電流の関係

WA-LVDS の位相ジッタを実測した例を図 19 に掲げておきます。差動振幅 V_{OD} を増加させると位相ジッタが低下する様子が確認できます。すなわち、消費電流に設計制約がなければ、差動振幅 V_{OD} を高めに設定することが良好な回路特性を得るためにベターな選択となります。

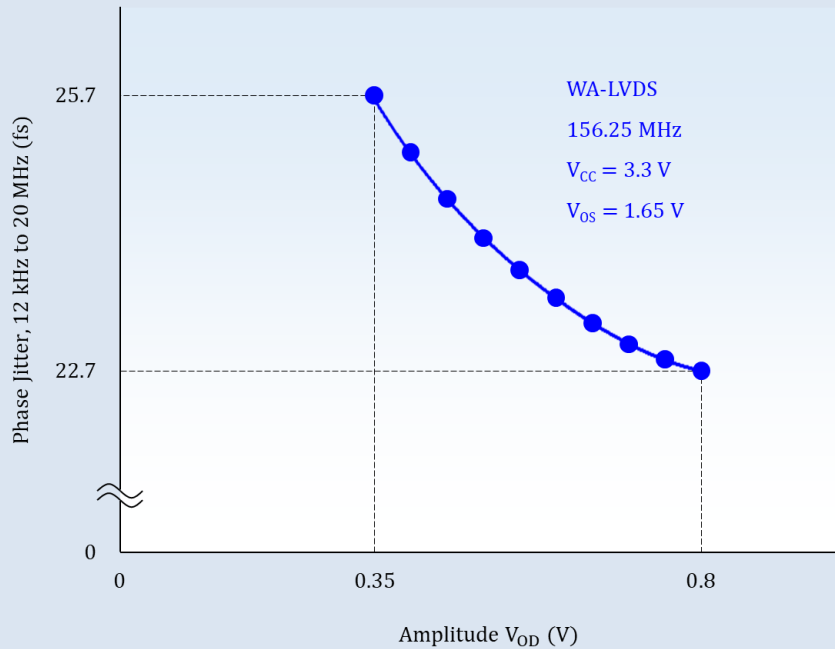


図 19 WA-LVDS の位相ジッタ実測例

7. おわりに

LV-PECL, LVDS, HCSL の 3 方式、および新しく開発された WA-LVDS について、特徴と使用方法を説明しました。エプソンでは、今後、WA-LVDS を搭載した製品ラインナップの拡充を予定しております。本テクニカルノートに記載の内容について、ご不明点がありましたら、下記までお問い合わせください。

【お問い合わせ先】

日本語 <https://www5.epsondevice.com/ja/contact/>

中国語 <https://www5.epsondevice.com/cn/contact/>

英語 <https://www5.epsondevice.com/en/contact/>