PCI Express® リファレンスクロックの Jitter 要求仕様

TN160418TD

【概要】

PCI Express (PCIe)は、PCI-SIG にて策定された高速シリアル・インターフェース規格の一つで、ポイント・ツー・ポイント接続による転送方式をとっている。PC の拡張バスとして広く普及した PCI バスは、インターネットによる情報量の増大に伴い転送速度の高速化が求められたが、パラレルインターフェースの転送速度の限界を迎え、PCI バスの後継でもある PCI Express が策定された。その帯域幅の広さから、PC だけではなくサーバ、ストレージや組み込み機器、ネットワーク機器のバックプレーンなど、大容量データ伝送を必要とするアプリケーションで採用されている。

本記事では、PCI Express におけるリファレンスクロックの Jitter 要求仕様に関する解説と、最適なエプソンのタイミングデバイスソリューションを紹介する。

なお、現時点において PCI Express 最新仕様は Gen3 (Revision 3.1a, 2015/12/7 update)である。次期規格の Gen4 については現在策定中であるが、参考情報として一部解説に加えた。

【PCI Express 転送速度】

PCIe の転送速度は、物理層速度で 1 レーンあたり 2.5Gbps(Gen1), 5.0Gbps(Gen2), 8.0Gbps(Gen3)としている。なお、PCIe では Gen1,Gen2 にて 8b/10b、Gen3 にて 128b/130b エンコードを行うため、データリンク層速度（実効データ転送速度）は物理層速度よりも遅くなる。両者の違いを明確にするため、PCIe 物理層速度は Gbps ではなく GT/ s の単位を用いることが多い。更に、レーンを複数束ねて速度を上げることも可能で、x1, x2, x4, x8, x16, x32 が仕様化されている。

Table 1 に、1 レーン当たりの物理層速度、およびデータリンク層速度の一覧を示す（Gen4 についても参考掲載）。

Table 1：PCIe 1 レーン当たりの通信速度

	物理層速度 [GT/s]	データリンク層速度 [Gbps (GB/s)]
PCIe Gen1	2.5	2 (0.25)
PCIe Gen2	5.0	4 (0.5)
PCIe Gen3	8.0	7.8769 (0.9846)
PCIe Gen4	16.0	15.7538 (1.9692)

【リファレンスクロックのアーキテクチャとジッタ規格】

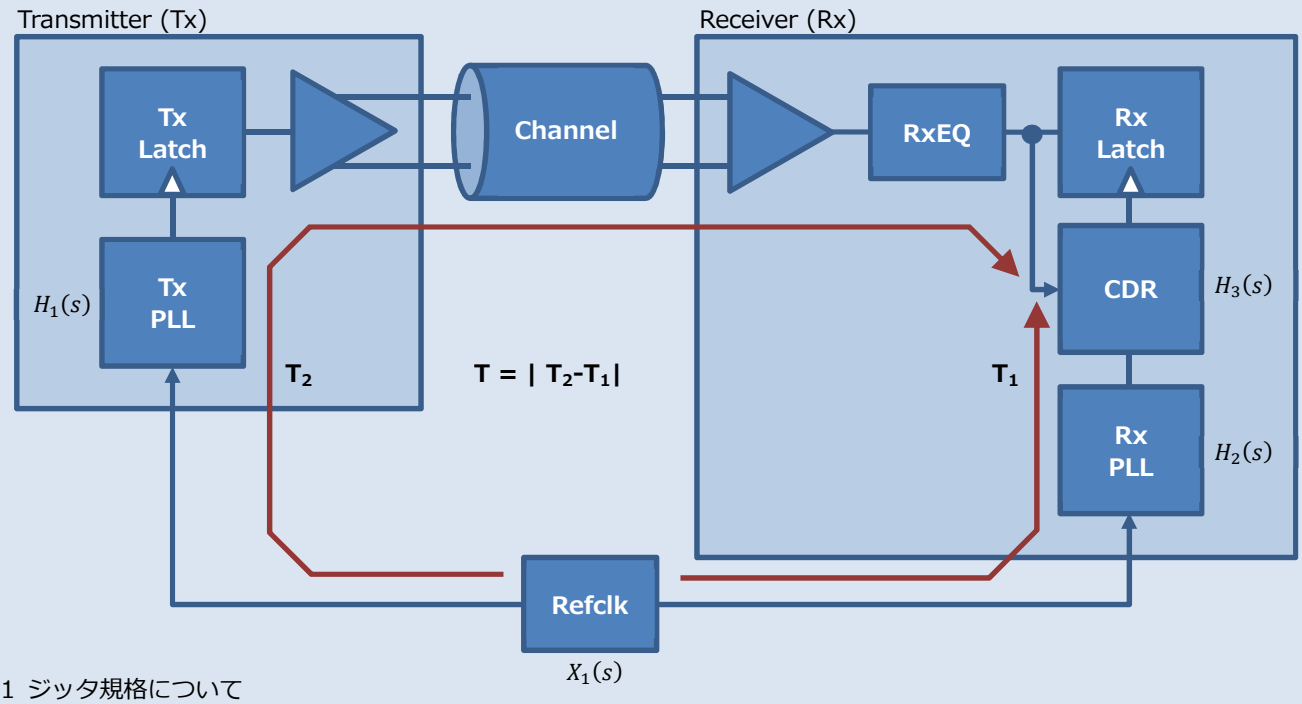
PCIe のリファレンスクロックの電気的仕様は、HCSL(high-speed current steering logic)規格が適用される。周波数仕様については、入力周波数を 100MHz、周波数偏差を±300ppm としている。そして、PCIe ではリファレンスクロックの伝送方法によって下記の 4 つのアーキテクチャを定めている。

1. Common Refclk Rx Architecture
2. Data Clocked Rx Architecture
3. Separate Refclk with No SSC (SRNS) Architecture
4. Separate Refclk with Independent SSC (SRIS) Architecture

各アーキテクチャと Gen1~3 に応じて、それぞれにジッタ規格値を定めている。

以下、その 4 つのアーキテクチャの説明と、それぞれに対応するジッタ規格を記す。

1. Common Refclk Rx Architecture



1.1 ジッタ規格について

このアーキテクチャは、1 つのクロック源から送信側(Tx)と受信側(Rx)にリファレンスクロックを供給する構成としている。リファレンスクロックの位相ノイズを$X_1(s)$，ジッタ伝達関数を$H_{CC}(s)$とすると、Rx で観測されるリファレンスクロックの位相ノイズ$X_{CC}(s)$は下記の式で表される。

$$X_{CC}(s) = X_1(s) \cdot H_{CC}(s)$$

$X_{CC}(s)$は位相ノイズとして得られるため、積分することでジッタに換算し、規格と照らし合わせて合否判定を行う。

$H_{CC}(s)$は、上図の Tx および Rx PLL, CDR それぞれのジッタ伝達関数$H_1(s)$，$H_2(s)$，$H_3(s)$の合成となる。これらは Equation 1 で表され、固有角周波数ω_n、ダンピングファクタζを用いて表現される。各 PCIe Gen 毎に定義された$H_{CC}(s)$，ω_n，ζおよび$X_{CC}(s)$から導出されるジッタに対する規格値を Table 2 にまとめる（策定中の Gen4 についても参考掲載とした）。PCIe Gen 毎に関数合成方法やパラメータ仕様値が異なるため、注意を要する。

1.2 本アーキテクチャについて

$X_1(s)$のノイズ特性を持つリファレンスクロックは、 2 つに分岐されて Tx および Rx PLL に供給される。そして、Tx および Rx PLL ではリファレンスクロックが所望の周波数に逓倍される。リファレンスクロックのジッタは、PLL のループフィルタのカットオフ周波数以下の成分は通過し、カットオフ周波数以上の成分はカットされる。そのため、PLL はジッタに対してローパスフィルタの役割を示す。本アーキテクチャの場合、CDR にて観測されるジッタは、Tx および Rx PLL にてフィルタリングされたジッタの差分として見えることになる。PCIe 仕様では、このジッタに対して規格を設けているため、リファレンスクロックのジッタに上記の考慮を加える必要がある。そこで、PCIe 仕様では、各 PLL を 2nd Order のジッタフィルタとみなし、ワーストケースの固有角周波数、およびダンピングファクタを設定してジッタ伝達関数を定義している。Gen1 および Gen3 では、CDR(Clock Data Recovery)も考慮に含め、CDR に対して 1st Order のジッタフィルタとして固有角周波数とダンピングファクタを設定、ジッタ伝達関数を定義している。（なお、策定中の Gen4 においては、Gen3 と同様な定義としている）なお、このアーキテクチャにおいては、Tx PLL を経由したクロックと Rx PLL を経由したクロック間に生じる最大伝搬遅延時間差を考慮する必要がある。伝搬遅延時間差を T とすると、$H_{CC}(s)$の式に含まれるe^{-sT}の項で伝搬遅延分を考慮している。

Equation 1：Common Refclk Rx Architecture の各ブロックのジッタ伝達関数

$$H_1(s) = \frac{2s\zeta_1\omega_{n1}+{\omega_{n1}}^2}{s^2+2s\zeta_1\omega_{n1}+{\omega_{n1}}^2} \quad \cdots \text{ Tx PLL Transfer Function}$$

$$H_2(s) = \frac{2s\zeta_2\omega_{n2}+{\omega_{n2}}^2}{s^2+2s\zeta_2\omega_{n2}+{\omega_{n2}}^2} \quad \cdots \text{ Rx PLL Transfer Function}$$

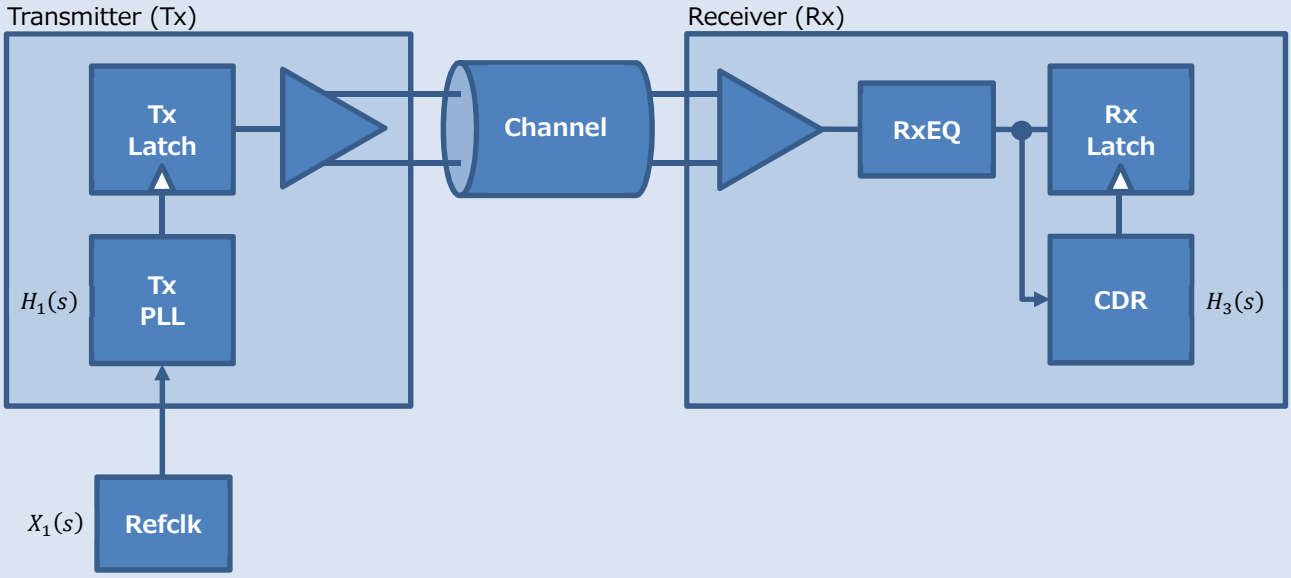
$$H_3(s) = \frac{s}{s+\omega_3} \quad \cdots \text{ CDR Transfer Function}$$

Table 2：Common Refclk Rx Architecture の各パラメーター一覧

	Jitter Transfer Function $H_{CC}(s)$	Natural angle freq. ω_n [Mrad/s]	Damping factor ζ	Transport Delay Delta T [ns Max.]	Jitter Limits
PCIe Gen1 Rev. 1.1	$H_{CC}(s) = [H_1(s) - H_2(s)\cdot e^{-sT}]\cdot H_3(s)$	$\omega_{n1} = 11.83\cdot 2\pi$	$\zeta_1 = 0.54$	10	Rj：4.7 ps RMS
		$\omega_{n2} = 0.807\cdot 2\pi$	$\zeta_2 = 0.54$		
		$\omega_3 = 1.5\cdot 2\pi$	—		
	—	—	—	—	Dj：41.9 ps P-P
PCIe Gen2 Rev. 2.1	$H_{CC}(s) = [H_1(s)\cdot e^{-sT} - H_2(s)]$	$\omega_{n1} = 1.82\cdot 2\pi$	$\zeta_1 = 1.16$	12	3.1 ps RMS (1.5MHz to Nyquist)
		$\omega_{n1} = 4.31\cdot 2\pi$	$\zeta_1 = 0.54$		
		$\omega_{n2} = 8.61\cdot 2\pi$	$\zeta_2 = 0.54$		
	—	—	—	—	3.0 ps RMS (10kHz to 1.5MHz)
PCIe Gen3 Rev. 3.1a	$H_{CC}(s) = [H_1(s)\cdot e^{-sT} - H_2(s)]\cdot H_3(s)$ $H'_{CC}(s) = [H_2(s)\cdot e^{-sT} - H_1(s)]\cdot H_3(s)$ $H_{CC}(s)$, $H'_{CC}(s)$ともに計算する。	$\omega_{n1} = 0.448$	$\zeta_1 = 14$	12	1.0 ps RMS
		$\omega_{n1} = 0.896$			
		$\omega_{n1} = 6.02$	$\zeta_1 = 0.73$		
		$\omega_{n1} = 12.04$			
		$\omega_{n2} = 0.448$	$\zeta_2 = 14$		
		$\omega_{n2} = 1.12$			
		$\omega_{n2} = 4.62$	$\zeta_2 = 1.15$		
		$\omega_{n2} = 11.53$			
		$\omega_3 = 62.83$	—		
PCIe Gen4 Rev. 4.0	同上	同上	同上	同上	≤1 ps RMS (Ver.0.5) 0.5 ps RMS (Ver.0.7)

*各関数式およびパラメータは、下記文献より引用
PCI Express Card Electromechanical Specification Revision 1.1 p.19
PCI Express Jitter and BER Revision 1.0 p.23
PCI Express Base Specification Revision 2.1 p.308
PCI Express Base Specification Revision 3.1a p.435~436
PCI Express Base Specification Revision 4.0 Version 0.5 p.1042
PCI Express Base Specification Revision 4.0 Version 0.7 Draft

2. Data Clocked Rx Architecture



2.1 ジッタ規格について

このアーキテクチャは、Rx に直接リファレンスクロックは供給されず、データに埋め込まれたクロック情報を元に CDR で再生したクロックを用いる構成としている。リファレンスクロックの位相ノイズを$X_1(s)$、ジッタ伝達関数を$H_{DC}(s)$とすると、Rx で観測されるリファレンスクロックの位相ノイズ$X_{DC}(s)$は下記の式で表される。

$$X_{DC}(s) = X_1(s) \cdot H_{DC}(s)$$

$H_{DC}(s)$は、上図の Tx PLL, CDR それぞれのジッタ伝達関数$H_1(s)$, $H_3(s)$の合成となる。$H_1(s)$, $H_3(s)$は Equation 2 で表される。$H_{DC}(s)$についても、PCIe Gen 毎に関数合成方法やパラメータ仕様値が異なる。それぞれに定義されたジッタ伝達関数$H_{DC}(s)$、固有角周波数ω_n、ダンピングファクタζ、および$X_{DC}(s)$から導出されるジッタに対する規格値を Table 3 にまとめる。

2.2 本アーキテクチャについて

$X_1(s)$のノイズ特性を持つリファレンスクロックは、Tx PLL に供給されジッタがフィルタリングされる。Tx PLL で逓倍されたクロックは、データに埋め込まれ Rx へ伝送され、CDR に入力される。CDR では、一般に PLL 回路を用いて、データに埋め込まれたクロックを再生する。CDR に内蔵する PLL 回路の動作を考えると、入力するデータに含まれるジッタのうち、PLL のループフィルタのカットオフ周波数以下はジッタに追従(通過)し、カットオフ周波数以上はジッタに追従できない(遮断)という特性でクロックを再生／出力することから、PLL はローパスフィルタのジッタ伝達関数を示す。しかし、データとクロックの相対的関係を考えた場合、カットオフ周波数以下はジッタに追従するため、データとクロック間にズレが発生せずジッタが吸収されるが、カットオフ周波数以上はジッタに追従できないため、データとクロック間にズレが発生しジッタが吸収されないことから、CDR はハイパスフィルタのジッタ伝達関数となる。

PCIe Gen1 では、本アーキテクチャは定義されていない。Gen2 では、CDR のジッタ伝達関数は考慮されず、Gen3 にて 2nd Order のジッタフィルタとして CDR のジッタ伝達関数を定義している。（なお、策定中の Gen4 においては、本アーキテクチャは定義されていない）

Equation 2：Data Clocked Rx Architecture の各ブロックのジッタ伝達関数

$$H_1(s) = \frac{2s\zeta_1\omega_{n1}+{\omega_{n1}}^2}{s^2+2s\zeta_1\omega_{n1}+{\omega_{n1}}^2} \quad \cdots \text{ Tx PLL Transfer Function}$$

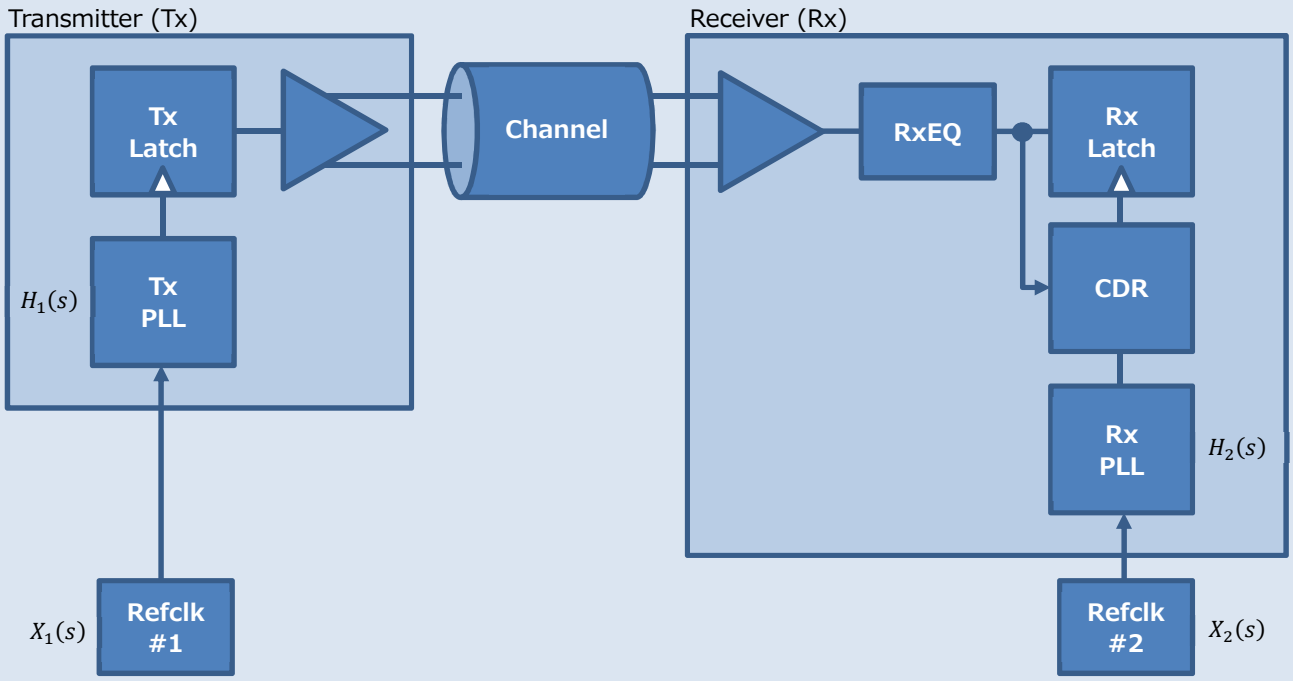
$$H_3(s) = \frac{2s\zeta_3\omega_{n3}+{\omega_{n3}}^2}{s^2+2s\zeta_3\omega_{n3}+{\omega_{n3}}^2} \quad \cdots \text{ CDR Transfer Function}$$

Table 3：Data Clocked Rx Architecture の各パラメーター一覧

	Jitter Transfer Function $H_{DC}(s)$	Natural angle freq. ω_n [Mrad/s]	Damping factor ζ	Jitter Limits
PCIe Gen1 Rev. 1.1	Not defined			
PCIe Gen2 Rev. 2.1	$H_{DC}(s) = H_1(s)$	$\omega_{n1} = 8.61 \cdot 2\pi$	$\zeta_1 = 0.54$ $\zeta_1 = 1.75$	4.0 ps RMS (1.5MHz to Nyquist)
	—	—	—	7.5 ps RMS (10kHz to 1.5MHz)
PCIe Gen3 Rev. 3.1a	$H_{DC}(s) = H_1(s) \cdot [1 - H_3(s)]$	$\omega_{n1} = 0.448$ $\omega_{n1} = 0.896$ $\omega_{n1} = 1.12$	$\zeta_1 = 14$	1.0 ps RMS
		$\omega_{n1} = 4.62$ $\omega_{n1} = 11.53$	$\zeta_1 = 1.15$	
		$\omega_{n1} = 6.02$ $\omega_{n1} = 12.04$	$\zeta_1 = 0.73$	
		$\omega_{n3} = 16.57$	$\zeta_3 = 1.75$	
		$\omega_{n3} = 33.8$	$\zeta_3 = 0.73$	
PCIe Gen4 Rev. 4.0	Not defined			

*各関数式およびパラメータは、下記文献より引用
PCI Express Base Specification Revision 2.1 p.310
PCI Express Base Specification Revision 3.1a p.437~438

3. Separate Refclk with No SSC (SRNS) Architecture



3.1 ジッタ規格について

このアーキテクチャは、送信側(Tx)と受信側(Rx)それぞれにクロック源を用意し、個別にリファレンスクロックを供給する構成としている。なお、SSC(Spread Spectrum)機能付きリファレンスクロックの適用は許容されていない。リファレンスクロックの位相ノイズを$X_1(s)$, $X_2(s)$、Tx および Rx PLL のジッタ伝達関数を$H_1(s)$, $H_2(s)$とすると、Rx で観測されるリファレンスクロックの位相ノイズ$X_{SRNS}(s)$は下記の式で表される。

$$X_{SRNS}(s) = \sqrt{[X_1(s) * H_1(s)]^2 + [X_2(s) * H_2(s)]^2}$$

$$H_1(s) = \frac{2s\zeta_1\omega_{n1}+{\omega_{n1}}^2}{s^2+2s\zeta_1\omega_{n1}+{\omega_{n1}}^2} \quad \cdots \text{ Tx PLL Transfer Function}$$

$$H_2(s) = \frac{2s\zeta_2\omega_{n2}+{\omega_{n2}}^2}{s^2+2s\zeta_2\omega_{n2}+{\omega_{n2}}^2} \quad \cdots \text{ Rx PLL Transfer Function}$$

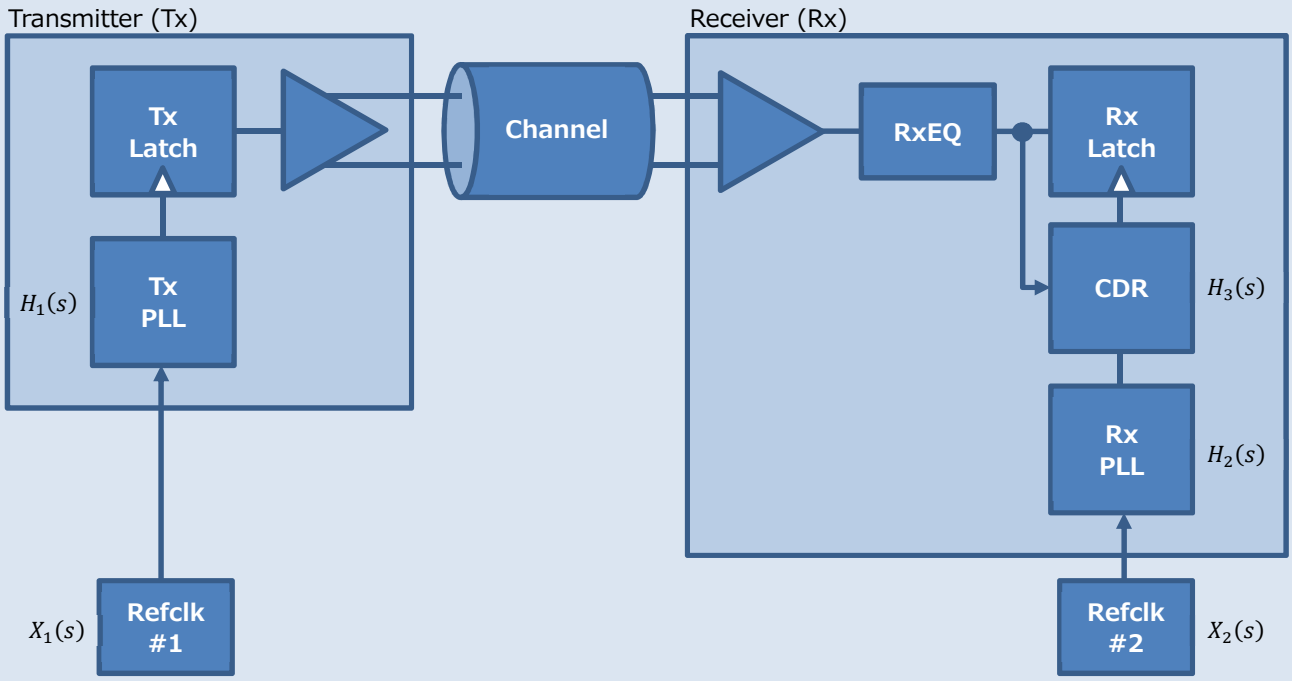
$X_{SRNS}(s)$は、Tx および Rx PLL それぞれのジッタの二乗和平方根となるため、他の 2 つのアーキテクチャよりも厳しいジッタ条件となる。Gen2 および Gen3 において、Tx および Rx PLL のジッタ伝達関数における固有角周波数ω_n、ダンピングファクタζは、ω_{n1}, $\omega_{n2} = 8.61 \cdot 2\pi$, ζ_1, $\zeta_2 = 0.54$としている。しかし、本アーキテクチャには、$X_{SRNS}(s)$から導出されるジッタに対する規格値が設定されていない。よって、合否判定の対象とはならないが、他の 2 つのアーキテクチャの規格値よりも小さいジッタ値であれば、十分な特性と言える。

3.2 本アーキテクチャについて

それぞれ独立したノイズ特性$X_1(s)$, $X_2(s)$を持つリファレンスクロックが、Tx および Rx PLL にてジッタがフィルタリングされて Rx に供給される。これらのジッタは、主に Random Jitter となるため、Rx にて観測されるジッタは、Tx および Rx PLL それぞれのジッタの二乗和平方根を計算することによって合成することができる。

PCIe Gen1 では、本アーキテクチャは定義されておらず、Gen2 および 3 にて本アーキテクチャによるノイズを定義している。(なお、策定中の Gen4 においては、本アーキテクチャは定義されていない)

4. Separate Refclk with Independent SSC (SRIS) Architecture



4.1 ジッタ規格について

このアーキテクチャは、送信側(Tx)と受信側(Rx)それぞれに SSC を用意し、個別に SSC をリファレンスクロックとして供給する構成としている。リファレンスクロックの位相ノイズを$X_1(s)$, $X_2(s)$、Tx および Rx PLL のジッタ伝達関数を$H_1(s)$, $H_2(s)$、CDR のジッタ伝達関数を$H_3(s)$とすると、Rx で観測されるリファレンスクロックの位相ノイズ$X_{SRIS}(s)$は下記の式で表される。

$$X_{SRIS}(s) = \sqrt{[X_1(s) * H_1(s) * H_3(s)]^2 + [X_2(s) * H_2(s) * H_3(s)]^2}$$

$$H_1(s) = \frac{2s\zeta_1\omega_{n1}+{\omega_{n1}}^2}{s^2+2s\zeta_1\omega_{n1}+{\omega_{n1}}^2} \quad \cdots \text{ Tx PLL Transfer Function}$$

$$H_2(s) = \frac{2s\zeta_2\omega_{n2}+{\omega_{n2}}^2}{s^2+2s\zeta_2\omega_{n2}+{\omega_{n2}}^2} \quad \cdots \text{ Rx PLL Transfer Function}$$

なお、CDR に対しては、2nd Order ハイパスフィルタとしてジッタ伝達関数を定義している。Gen2, Gen3 それぞれで異なるジッタ伝達関数が定義されており、下記の式で表される。

$$H_3(s) = \frac{s^2}{s^2+2s\zeta\omega_m+{\omega_m}^2} \quad \cdots \text{ CDR Transfer Function for } \underline{\text{Gen2}}$$

$$H_3(s) = \frac{s^2}{s^2+sA+B} \cdot \frac{s^2+2s\zeta_{02}\omega_0+{\omega_0}^2}{s^2+2s\zeta_{01}\omega_0+{\omega_0}^2} \quad \cdots \text{ CDR Transfer Function for } \underline{\text{Gen3}}$$

Tx/Rx PLL および CDR のジッタ伝達関数(フィルタ)における固有角周波数ω、ダンピングファクタζ、および$X_{SRIS}(s)$から導出されるジッタに対する規格値を Table 4 にまとめる。

4.2 本アーキテクチャについて

それぞれ独立したノイズ特性$X_1(s)$, $X_2(s)$を持つリファレンスクロックが、Tx および Rx PLL にてジッタがフィルタリングされて CDR に供給される。それらのクロック間には SSC による位相ドリフトが存在するが、CDR おいて位相ドリフトに追従した再生クロックを生成することで、位相ドリフトは除去される。それと同時に各クロックに含まれるジッタ成分も、CDR にてフィルタリングされる。これらのジッタは、主に Random Jitter となるため、Rx にて観測されるジッタは、Tx および Rx PLL それぞれのジッタの二乗和平方根を計算することによって合成することができる。

PCIe Gen1 では、本アーキテクチャは定義されておらず、Gen2 および 3 にて本アーキテクチャによるノイズを定義している。（なお、策定中の Gen4 においては、本アーキテクチャは定義されていないが、SRIS CDR function の記載あり。）

Table 4：SRIS Architecture の各パラメーター一覧

	Jitter Transfer Function $H_1(s)$, $H_2(s)$, $H_3(s)$	Natural angle freq. ω [Mrad/s]	Damping factor ζ	Jitter Limits
PCIe Gen1 Rev. 1.1	Not defined			
PCIe Gen2 Rev. 2.1	$H_1(s) = \frac{2s\zeta_1\omega_{n1}+\omega_{n1}{}^2}{s^2+2s\zeta_1\omega_{n1}+\omega_{n1}{}^2}$	$\omega_{n1} = 8.61 \cdot 2\pi$	$\zeta_1 = 0.54$	2.0 ps RMS
	$H_2(s) = \frac{2s\zeta_2\omega_{n2}+\omega_{n2}{}^2}{s^2+2s\zeta_2\omega_{n2}+\omega_{n2}{}^2}$	$\omega_{n2} = 8.61 \cdot 2\pi$	$\zeta_2 = 0.54$	
	$H_3(s) = \frac{s^2}{s^2+2s\zeta\omega_m+\omega_m{}^2}$	$\omega_m = 4.86 \cdot 2\pi$	$\zeta = 0.707$	
PCIe Gen3 Rev. 3.1a	$H_1(s) = \frac{2s\zeta_1\omega_{n1}+\omega_{n1}{}^2}{s^2+2s\zeta_1\omega_{n1}+\omega_{n1}{}^2}$	$\omega_{n1} = 8.61 \cdot 2\pi$	$\zeta_1 = 0.54$	0.5 ps RMS
	$H_2(s) = \frac{2s\zeta_2\omega_{n2}+\omega_{n2}{}^2}{s^2+2s\zeta_2\omega_{n2}+\omega_{n2}{}^2}$	$\omega_{n2} = 8.61 \cdot 2\pi$	$\zeta_2 = 0.54$	
	$H_3(s) = \frac{s^2}{s^2+sA+B} \cdot \frac{s^2+2s\zeta_{02}\omega_0+\omega_0{}^2}{s^2+2s\zeta_{01}\omega_0+\omega_0{}^2}$ $A = 10^7 \times 2\pi$ $B = 2.2 \times 10^{12} \times (2\pi)^2$	$\omega_0 = 10^7 \cdot 2\pi$	$\zeta_{01} = 0.707$ $\zeta_{02} = 1$	
PCIe Gen4 Rev. 4.0	Defined only CDR function as follows			
Ver. 0.5	$H_3(s) = \frac{s^2}{s^2+sA+B} \cdot \frac{s^2+2s\zeta_{02}\omega_0+\omega_0{}^2}{s^2+2s\zeta_{01}\omega_0+\omega_0{}^2}$ $A = 9.5 \times 10^6 \times 2\pi$ $B = 4.36 \times 10^{12} \times (2\pi)^2$	$\omega_0 = 10^7 \cdot 2\pi$	$\zeta_{01} = 0.707$ $\zeta_{02} = 1$	—
Ver. 0.7	$H_3(s) = \frac{s^2}{s^2+sA+B} \cdot \frac{s^2+2s\zeta_2\omega_0+\omega_0{}^2}{s^2+2s\zeta_1\omega_0+\omega_0{}^2} \cdot \frac{s}{s+\omega_1}$ $A = 9.5 \times 10^6 \times 2\pi$ $B = 4.36 \times 10^{12} \times (2\pi)^2$	$\omega_0 = 10^7 \cdot 2\pi$ $\omega_1 = 4 \times 10^5 \cdot 2\pi$		

*各関数式およびパラメータは、下記文献より引用
PCI Express Base Specification Revision 3.1a p.432~433, 439
PCI Express Base Specification Revision 4.0 Version 0.5 p.1002
PCI Express Base Specification Revision 4.0 Version 0.7 Draft

【弊社発振器 SG3225HBN の PCIe ジッタ結果】

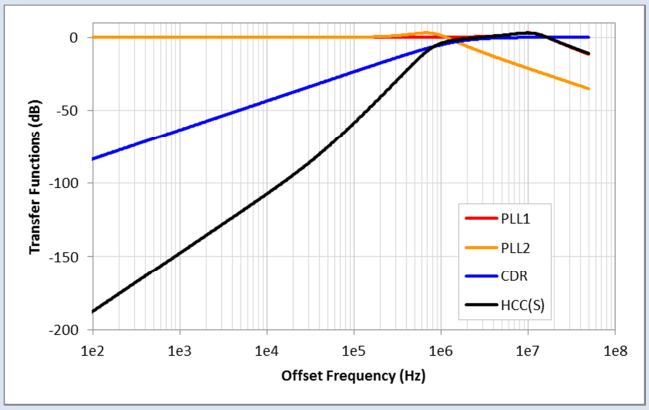
弊社 HCSL 出力発振器 SG3225HBN の位相ノイズに、各アーキテクチャが要求するジッタ伝達関数を適用し、ジッタに換算した結果および規格値を以下に示す。なお、SG3225HBN は SSC ではないため SRIS は対象外だが、参考に結果掲載した。一例として、黄色の条件下でのジッタ伝達関数、およびジッタ伝達関数適用前後の SG3225HBN 位相ノイズのグラフも掲載した。全ての条件において、SG3225HBN は Pass 判定となっている。(SG3225HBN 詳細仕様は、こちら)

<PCIe Gen1>

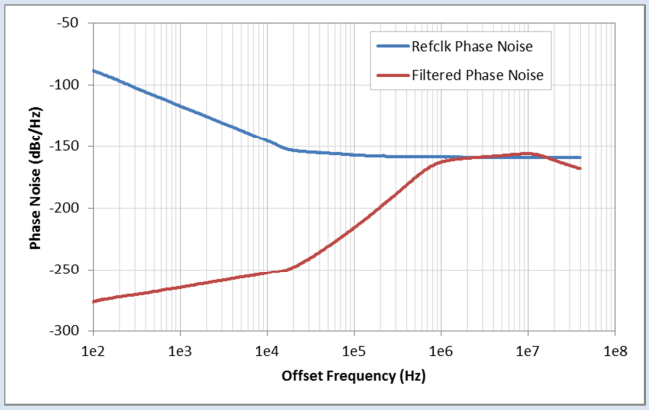
Architecture		PLL1 ω [Mrad/s]	PLL1 ζ	PLL2 ω [Mrad/s]	PLL2 ζ	CDR ω [Mrad/s]	CDR ζ,	Delay [ns Max.]
Common Refclk Rx	Rj [RMS]	11.83·2π	0.54	0.807·2π	0.54	1.5·2π	NA	10
	Dj [P-P]	—	—	—	—	—	—	—

Jitter [ps] Result	Jitter [ps] Spec.	Pass/Fail
0.139	4.7	Pass
0	41.9	Pass

Jitter Transfer Functions



Reference clock Phase Noise

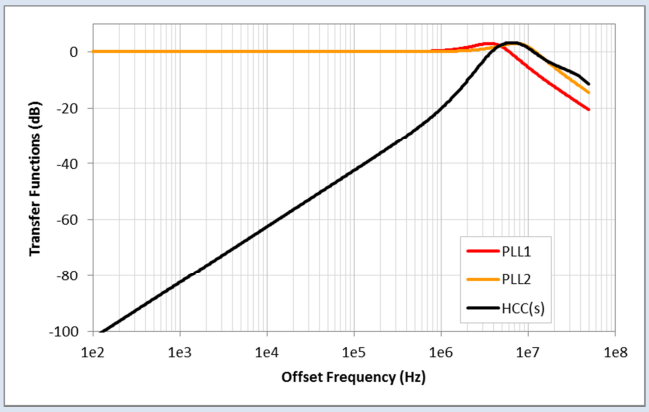


<PCIe Gen2>

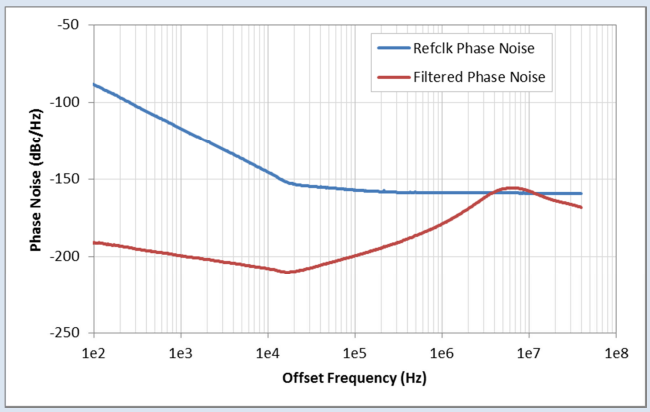
Architecture		PLL1 ω [Mrad/s]	PLL1 ζ	PLL2 ω [Mrad/s]	PLL2 ζ	CDR ω [Mrad/s]	CDR ζ,	Delay [ns Max.]
Common Refclk Rx	1.5 MHz to Nyquist	1.82·2π	1.16	8.61·2π	0.54	—	—	12
		4.31·2π	0.54	8.61·2π	0.54	—	—	12
	10 kHz to 1.5 MHz	—	—	—	—	—	—	—
Data Clocked Rx	1.5 MHz to Nyquist	8.61·2π	0.54	—	—	—	—	—
		8.61·2π	1.75	—	—	—	—	—
	10 kHz to 1.5 MHz	—	—	—	—	—	—	—
SRNS		8.61·2π	0.54	8.61·2π	0.54	—	—	—
SRIS		8.61·2π	0.54	8.61·2π	0.54	4.86·2π	0.707	—

Jitter [ps RMS] Result	Jitter [ps RMS] Spec.	Pass/Fail
0.113	3.1	Pass
0.120		Pass
0.033	3.0	Pass
0.120	4.0	Pass
0.140		Pass
0.030	7.5	Pass
0.170	—	—
0.149	(2.0)	(Pass)

Jitter Transfer Functions



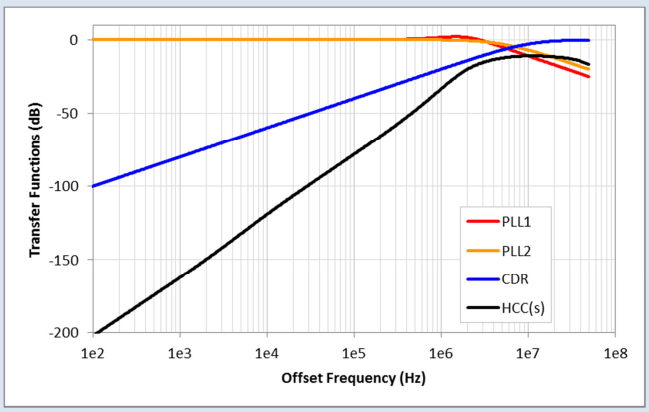
Reference clock Phase Noise



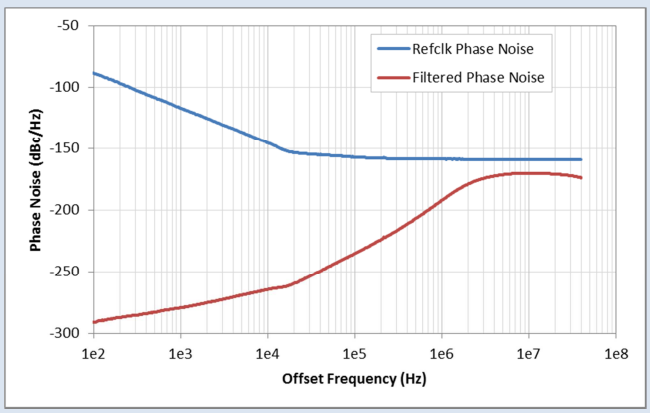
<PCIe Gen3>

Architecture		PLL1 ω [Mrad/s]	PLL1 ζ	PLL2 ω [Mrad/s]	PLL2 ζ	CDR ω [Mrad/s]	CDR ζ,	Delay [ns Max.]	Jitter [ps RMS] Result	Jitter [ps RMS] Spec.	Pass/Fail
Common Refclk Rx	$H_{CC}(s)$	0.448	14	0.448	14	62.83	—	12	0.017	1.0	Pass
	$H'_{CC}(s)$	(0.071·2π)		(0.071·2π)		(10·2π)			0.017		
	$H_{CC}(s)$	0.896	14	0.448	14	62.83	—	12	0.026		Pass
	$H'_{CC}(s)$	(0.143·2π)		(0.071·2π)		(10·2π)			0.029		
	$H_{CC}(s)$	6.02	0.73	0.448	14	62.83	—	12	0.016		Pass
	$H'_{CC}(s)$	(0.958·2π)		(0.071·2π)		(10·2π)			0.014		
	$H_{CC}(s)$	12.04	0.73	0.448	14	62.83	—	12	0.022		Pass
	$H'_{CC}(s)$	(1.92·2π)		(0.071·2π)		(10·2π)			0.022		
	$H_{CC}(s)$	0.448	14	1.12	14	62.83	—	12	0.036		Pass
	$H'_{CC}(s)$	(0.071·2π)		(0.178·2π)		(10·2π)			0.031		
	$H_{CC}(s)$	0.896	14	1.12	14	62.83	—	12	0.039		Pass
	$H'_{CC}(s)$	(0.143·2π)		(0.178·2π)		(10·2π)			0.037		
	$H_{CC}(s)$	6.02	0.73	1.12	14	62.83	—	12	0.036		Pass
	$H'_{CC}(s)$	(0.958·2π)		(0.178·2π)		(10·2π)			0.031		
	$H_{CC}(s)$	12.04	0.73	1.12	14	62.83	—	12	0.038		Pass
	$H'_{CC}(s)$	(1.92·2π)		(0.178·2π)		(10·2π)			0.031		
	$H_{CC}(s)$	0.448	14	4.62	1.15	62.83	—	12	0.015		Pass
	$H'_{CC}(s)$	(0.071·2π)		(0.734·2π)		(10·2π)			0.016		
	$H_{CC}(s)$	0.896	14	4.62	1.15	62.83	—	12	0.026		Pass
	$H'_{CC}(s)$	(0.143·2π)		(0.734·2π)		(10·2π)			0.029		
	$H_{CC}(s)$	6.02	0.73	4.62	1.15	62.83	—	12	0.014		Pass
	$H'_{CC}(s)$	(0.958·2π)		(0.734·2π)		(10·2π)			0.013		
	$H_{CC}(s)$	12.04	0.73	4.62	1.15	62.83	—	12	0.021		Pass
	$H'_{CC}(s)$	(1.92·2π)		(0.734·2π)		(10·2π)			0.022		
	$H_{CC}(s)$	0.448	14	11.53	1.15	62.83	—	12	0.031		Pass
	$H'_{CC}(s)$	(0.071·2π)		(1.84·2π)		(10·2π)			0.028		
	$H_{CC}(s)$	0.896	14	11.53	1.15	62.83	—	12	0.034		Pass
	$H'_{CC}(s)$	(0.143·2π)		(1.84·2π)		(10·2π)			0.035		
	$H_{CC}(s)$	6.02	0.73	11.53	1.15	62.83	—	12	0.032		Pass
	$H'_{CC}(s)$	(0.958·2π)		(1.84·2π)		(1·2π)			0.028		
	$H_{CC}(s)$	12.04	0.73	11.53	1.15	62.83	—	12	0.033		Pass
	$H'_{CC}(s)$	(1.92·2π)		(1.84·2π)		(10·2π)			0.029		

Jitter Transfer Functions



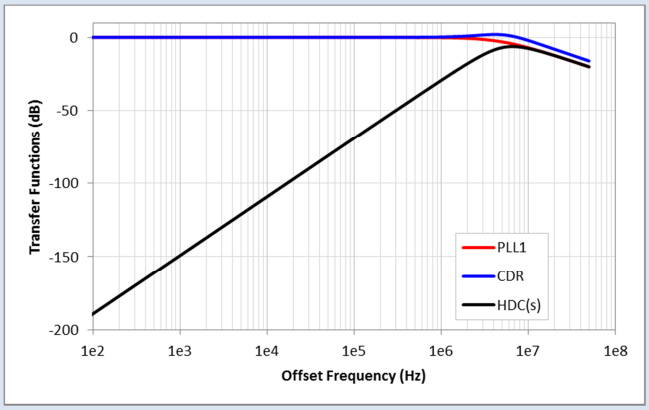
Reference clock Phase Noise



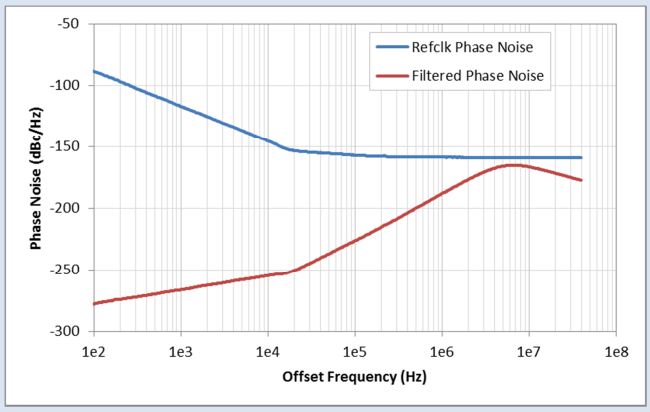
<PCIe Gen3 (cont'd)>

Architecture	PLL1 ω [Mrad/s]	PLL1 ζ	PLL2 ω [Mrad/s]	PLL2 ζ	CDR ω [Mrad/s]	CDR ζ,	Delay [ns Max.]	Jitter [ps RMS] Result	Jitter [ps RMS] Spec.	Pass/Fail
Data Clocked Rx	0.448 (0.071·2π)	14	—	—	16.57 (2.64·2π)	1.75	—	0.017	1.0	Pass
	0.896 (0.143·2π)	14	—	—	16.57 (2.64·2π)	1.75	—	0.032		Pass
	1.12 (0.178·2π)	14	—	—	16.57 (2.64·2π)	1.75	—	0.038		Pass
	4.62 (0.734·2π)	1.15	—	—	16.57 (2.64·2π)	1.75	—	0.015		Pass
	11.53 (1.84·2π)	1.15	—	—	16.57 (2.64·2π)	1.75	—	0.035		Pass
	6.02 (0.958·2π)	0.73	—	—	16.57 (2.64·2π)	1.75	—	0.013		Pass
	12.04 (1.92·2π)	0.73	—	—	16.57 (2.64·2π)	1.75	—	0.026		Pass
	0.448 (0.071·2π)	14	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.020		Pass
	0.896 (0.143·2π)	14	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.036		Pass
	1.12 (0.178·2π)	14	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.043		Pass
	4.62 (0.734·2π)	1.15	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.017		Pass
	11.53 (1.84·2π)	1.15	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.040		Pass
	6.02 (0.958·2π)	0.73	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.015		Pass
	12.04 (1.92·2π)	0.73	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.029		Pass
SNRS	8.61·2π	0.54	8.61·2π	0.54	—	—	—	0.170	—	—
SRIS	8.61·2π	0.54	8.61·2π	0.54	10^7·2π	0.707, 1	—	0.145	(0.5)	(Pass)

Jitter Transfer Functions



Reference clock Phase Noise



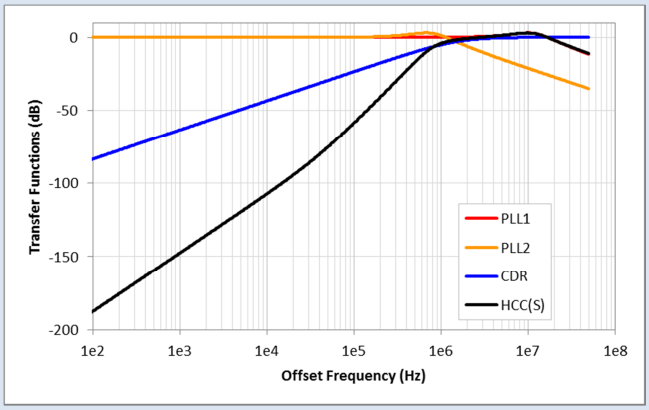
【弊社発振器 XG5032HAN の PCIe ジッタ測定結果】

弊社 HCSL 出力発振器 XG5032HAN に関しても、前項同様に確認した結果を以下に示す。XG5032HAN も、全ての条件において Pass 判定となっている。(XG5032HAN 詳細仕様は、こちら)

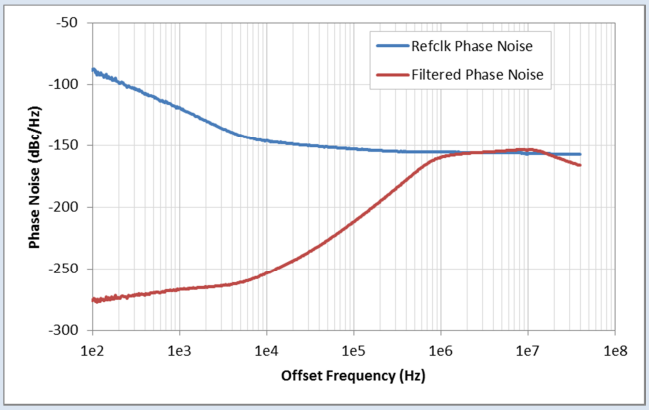
<PCIe Gen1>

Architecture		PLL1 ω [Mrad/s]	PLL1 ζ	PLL2 ω [Mrad/s]	PLL2 ζ	CDR ω [Mrad/s]	CDR ζ,	Delay [ns Max.]	Jitter [ps] Result	Jitter [ps] Result	Pass/Fail
Common Refclk Rx	Rj [RMS]	11.83·2π	0.54	0.807·2π	0.54	1.5·2π	—	10	0.187	4.7	Pass
	Dj [P-P]	—	—	—	—	—	—	—	0	41.9	Pass

Jitter Transfer Functions



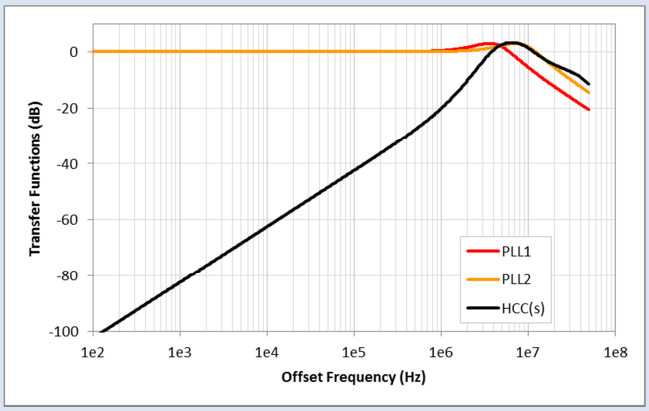
Reference clock Phase Noise



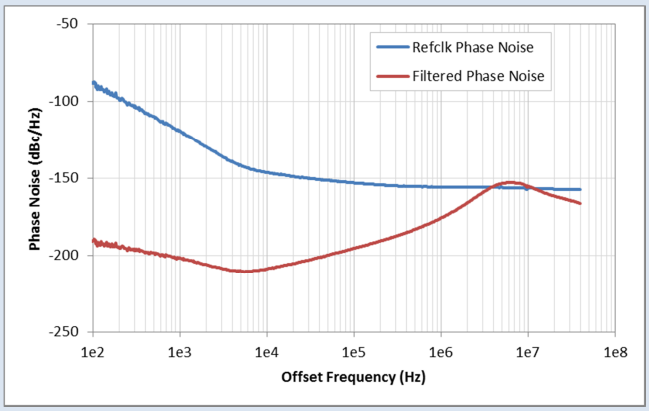
<PCIe Gen2>

Architecture		PLL1 ω [Mrad/s]	PLL1 ζ	PLL2 ω [Mrad/s]	PLL2 ζ	CDR ω [Mrad/s]	CDR ζ,	Delay [ns Max.]	Jitter [ps RMS] Result	Jitter [ps RMS] Spec.	Pass/Fail
Common Refclk Rx	1.5 MHz to Nyquist	1.82·2π	1.16	8.61·2π	0.54	—	—	12	0.151	3.1	Pass
		4.31·2π	0.54	8.61·2π	0.54	—	—	12	0.161		Pass
	10 kHz to 1.5 MHz	—	—	—	—	—	—	—	0.049	3.0	Pass
Data Clocked Rx	1.5 MHz to Nyquist	8.61·2π	0.54	—	—	—	—	—	0.163	4.0	Pass
		8.61·2π	1.75	—	—	—	—	—	0.184		Pass
	10 kHz to 1.5 MHz	—	—	—	—	—	—	—	0.049	7.5	Pass
SRNS		8.61·2π	0.54	8.61·2π	0.54	—	—	—	0.231	—	—
SRIS		8.61·2π	0.54	8.61·2π	0.54	4.86·2π	0.707	—	0.199	(2.0)	(Pass)

Jitter Transfer Functions



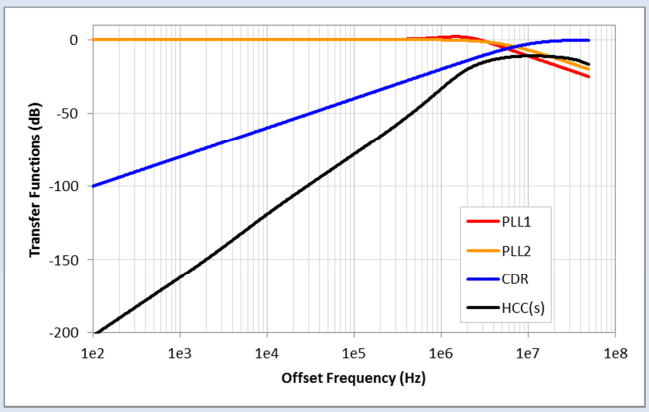
Reference clock Phase Noise



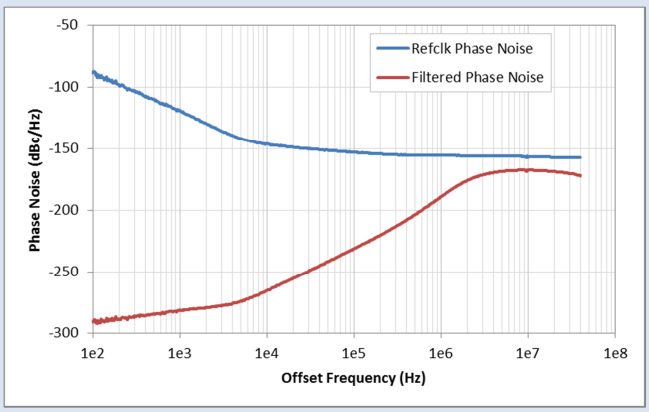
<PCIe Gen3>

Architecture		PLL1 ω [Mrad/s]	PLL1 ζ	PLL2 ω [Mrad/s]	PLL2 ζ	CDR ω [Mrad/s]	CDR ζ,	Delay [ns Max.]	Jitter [ps RMS] Result	Jitter [ps RMS] Spec.	Pass/Fail
Common Refclk Rx	$H_{CC}(s)$	0.448	14	0.448	14	62.83	—	12	0.022	1.0	Pass
	$H'_{CC}(s)$	(0.071·2π)		(0.071·2π)		(10·2π)			0.022		
	$H_{CC}(s)$	0.896	14	0.448	14	62.83	—	12	0.034		Pass
	$H'_{CC}(s)$	(0.143·2π)		(0.071·2π)		(10·2π)			0.038		
	$H_{CC}(s)$	6.02	0.73	0.448	14	62.83	—	12	0.021		Pass
	$H'_{CC}(s)$	(0.958·2π)		(0.071·2π)		(10·2π)			0.018		
	$H_{CC}(s)$	12.04	0.73	0.448	14	62.83	—	12	0.029		Pass
	$H'_{CC}(s)$	(1.92·2π)		(0.071·2π)		(10·2π)			0.028		
	$H_{CC}(s)$	0.448	14	1.12	14	62.83	—	12	0.047		Pass
	$H'_{CC}(s)$	(0.071·2π)		(0.178·2π)		(10·2π)			0.040		
	$H_{CC}(s)$	0.896	14	1.12	14	62.83	—	12	0.050		Pass
	$H'_{CC}(s)$	(0.143·2π)		(0.178·2π)		(10·2π)			0.047		
	$H_{CC}(s)$	6.02	0.73	1.12	14	62.83	—	12	0.047		Pass
	$H'_{CC}(s)$	(0.958·2π)		(0.178·2π)		(10·2π)			0.041		
	$H_{CC}(s)$	12.04	0.73	1.12	14	62.83	—	12	0.050		Pass
	$H'_{CC}(s)$	(1.92·2π)		(0.178·2π)		(10·2π)			0.040		
	$H_{CC}(s)$	0.448	14	4.62	1.15	62.83	—	12	0.020		Pass
	$H'_{CC}(s)$	(0.071·2π)		(0.734·2π)		(10·2π)			0.021		
	$H_{CC}(s)$	0.896	14	4.62	1.15	62.83	—	12	0.033		Pass
	$H'_{CC}(s)$	(0.143·2π)		(0.734·2π)		(10·2π)			0.039		
	$H_{CC}(s)$	6.02	0.73	4.62	1.15	62.83	—	12	0.018		Pass
	$H'_{CC}(s)$	(0.958·2π)		(0.734·2π)		(10·2π)			0.017		
	$H_{CC}(s)$	12.04	0.73	4.62	1.15	62.83	—	12	0.027		Pass
	$H'_{CC}(s)$	(1.92·2π)		(0.734·2π)		(10·2π)			0.028		
	$H_{CC}(s)$	0.448	14	11.53	1.15	62.83	—	12	0.041		Pass
	$H'_{CC}(s)$	(0.071·2π)		(1.84·2π)		(10·2π)			0.037		
	$H_{CC}(s)$	0.896	14	11.53	1.15	62.83	—	12	0.044		Pass
	$H'_{CC}(s)$	(0.143·2π)		(1.84·2π)		(10·2π)			0.046		
	$H_{CC}(s)$	6.02	0.73	11.53	1.15	62.83	—	12	0.042		Pass
	$H'_{CC}(s)$	(0.958·2π)		(1.84·2π)		(1·2π)			0.037		
	$H_{CC}(s)$	12.04	0.73	11.53	1.15	62.83	—	12	0.043		Pass
	$H'_{CC}(s)$	(1.92·2π)		(1.84·2π)		(10·2π)			0.037		

Jitter Transfer Functions



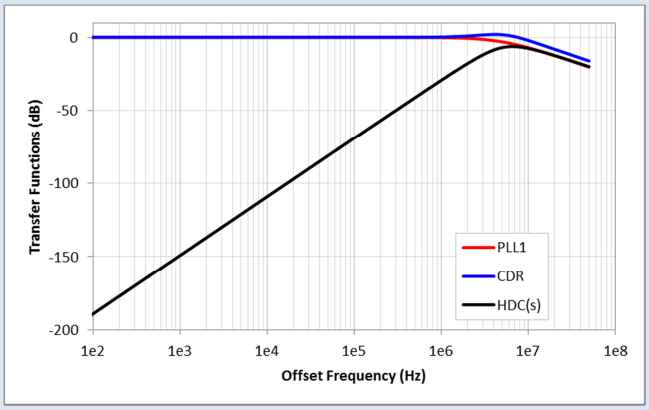
Reference clock Phase Noise



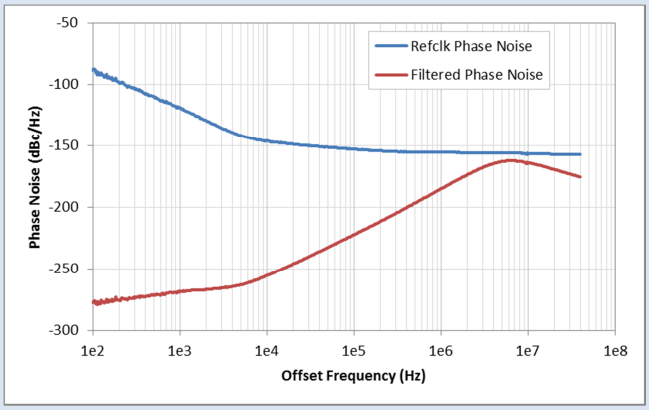
<PCIe Gen3 (cont'd)>

Architecture	PLL1 ω [Mrad/s]	PLL1 ζ	PLL2 ω [Mrad/s]	PLL2 ζ	CDR ω [Mrad/s]	CDR ζ,	Delay [ns Max.]	Jitter [ps RMS] Result	Jitter [ps RMS] Spec.	Pass/Fail
Data Clocked Rx	0.448 (0.071·2π)	14	—	—	16.57 (2.64·2π)	1.75	—	0.024	1.0	Pass
	0.896 (0.143·2π)	14	—	—	16.57 (2.64·2π)	1.75	—	0.042		Pass
	1.12 (0.178·2π)	14	—	—	16.57 (2.64·2π)	1.75	—	0.050		Pass
	4.62 (0.734·2π)	1.15	—	—	16.57 (2.64·2π)	1.75	—	0.021		Pass
	11.53 (1.84·2π)	1.15	—	—	16.57 (2.64·2π)	1.75	—	0.046		Pass
	6.02 (0.958·2π)	0.73	—	—	16.57 (2.64·2π)	1.75	—	0.018		Pass
	12.04 (1.92·2π)	0.73	—	—	16.57 (2.64·2π)	1.75	—	0.035		Pass
	0.448 (0.071·2π)	14	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.027		Pass
	0.896 (0.143·2π)	14	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.049		Pass
	1.12 (0.178·2π)	14	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.058		Pass
	4.62 (0.734·2π)	1.15	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.023		Pass
	11.53 (1.84·2π)	1.15	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.053		Pass
	6.02 (0.958·2π)	0.73	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.020		Pass
	12.04 (1.92·2π)	0.73	—	—	33.8 (5.38·2π)	0.73 (0.54?)	—	0.039		Pass
SNRS	8.61·2π	0.54	8.61·2π	0.54	—	—	—	0.231	—	—
SRIS	8.61·2π	0.54	8.61·2π	0.54	10^7·2π	0.707, 1	—	0.194	(0.5)	(Pass)

Jitter Transfer Functions



Reference clock Phase Noise



【ジッタ伝達関数の帯域幅・ピーキングについて】

PLL や CDR のジッタ伝達関数は、固有角周波数ω、ダンピングファクタζ にて表されるが、これらのパラメータでは、ジッタ伝達関数の持つフィルタ特性が把握しにくい。そこで、ω及びζに対する帯域幅(3dB 減衰時の周波数)およびピーキングの対応表を示す。（黄色部分の固有角周波数が、PCIe 仕様のジッタ伝達関数において使用されている）

Natural angle frequency ω [Mrad/s]	Damping factor ζ: 14	1.75	1.15	0.73	0.54		Bandwidth
	0.054·2π	0.396·2π	0.550·2π	0.718·2π	0.807·2π	→	1.5 MHz
	0.071·2π	0.529·2π	0.734·2π	0.958·2π	1.08·2π	→	2 MHz
	0.143·2π	1.06·2π	1.47·2π	1.92·2π	2.15·2π	→	4 MHz
	0.178·2π	1.32·2π	1.84·2π	2.39·2π	2.69·2π	→	5 MHz
	0.285·2π	2.11·2π	2.94·2π	3.83·2π	4.31·2π	→	8 MHz
	0.357·2π	2.64·2π	3.67·2π	4.79·2π	5.38·2π	→	10 MHz
	0.571·2π	4.23·2π	5.87·2π	7.66·2π	8.61·2π	→	16 MHz
	0.785·2π	5.81·2π	8.07·2π	10.54·2π	11.83·2π	→	22 MHz
	1.16·2π	8.61·2π	12.0·2π	15.6·2π	17.5·2π		32.6 MHz
	↓	↓	↓	↓	↓		
	0.01 dB	0.5 dB	1 dB	2 dB	3 dB		
	Peaking						

なお、固有角周波数ω, ダンピングファクタζ および 帯域幅 BW の関係は、下記の通り。

$$\omega_{3dB} = \omega\sqrt{1 + 2\zeta^2 + \sqrt{(1 + 2\zeta^2)^2 + 1}}$$ (PCIe Base Specification Rev 3.1a Equation 4.3.5 より)

$$\mathrm{BW} = \frac{\omega_{3dB}}{2\pi}$$

すなわち、BW は下記の式で算出できる。

$$\mathrm{BW} = \frac{\omega}{2\pi}\sqrt{1 + 2\zeta^2 + \sqrt{(1 + 2\zeta^2)^2 + 1}}$$

【参考文献】

- PCI Express Card Electromechanical Specification Revision 1.1
- PCI Express Jitter and BER Revision 1.0
- PCI Express Base Specification Revision 2.1
- PCI Express Base Specification Revision 3.1a
- PCI Express Base Specification Revision 4.0 Version 0.5
- PCI Express Base Specification Revision 4.0 Version 0.7 Draft