

EPSON timing solution for Altera® FPGA



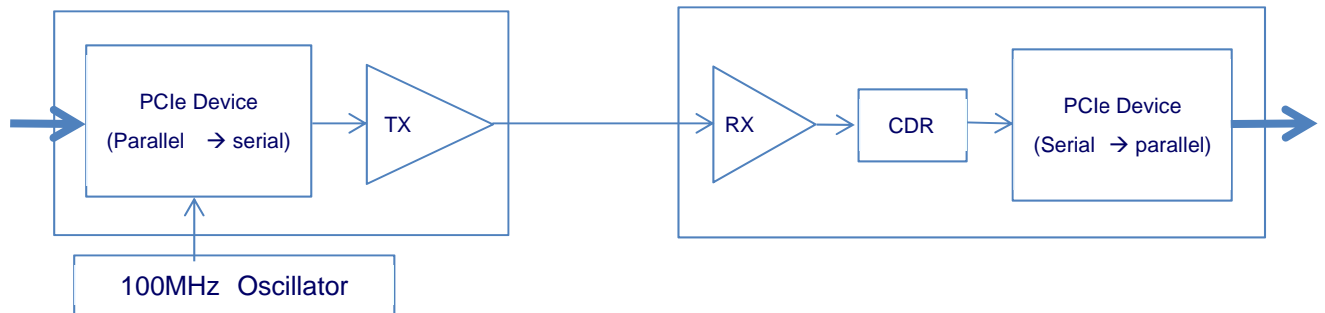
Stratix® V, Arria® V, Cyclone® V Transceiver PCI Express® Gen1, 2

PCI Express® (PCIe®) は PC、サーバー等の IT 機器や FA、計測器、放送機器等の産業機器によく利用される高速シリアル伝送方式です。多くのアプリケーションに利用される FPGA にも PCIe® のトランシーバが準備されており、その基準クロックとしてエプソン発振器を評価しその高い実用性を確認しました。

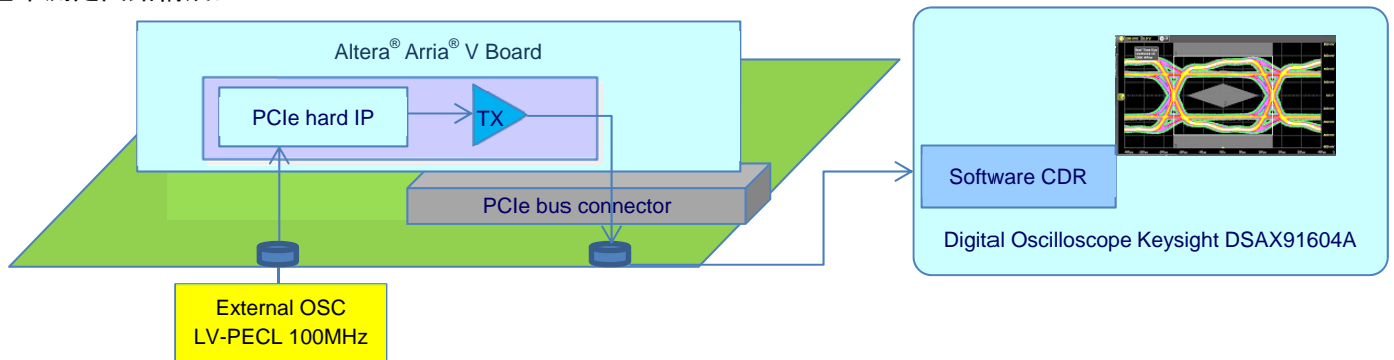
<確認方法>

- 1) Altera® Arria® V PCIe® トランシーバの基準クロックを接続する。
- 2) PCIe® の TX 出力をオシロスコープにて測定する。
- 3) オシロスコープの Eye Diagram, RMS データを取得し BER を算出する。

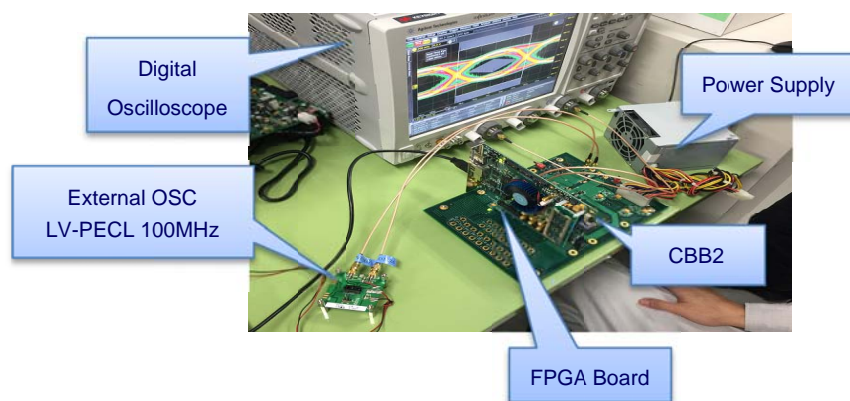
<基本的 PCIe® トランシーバ構成>



<基本測定回路構成>



<実際の計測>



PCIe® トランシーバ 発振器測定結果および PCIe® 伝送性能

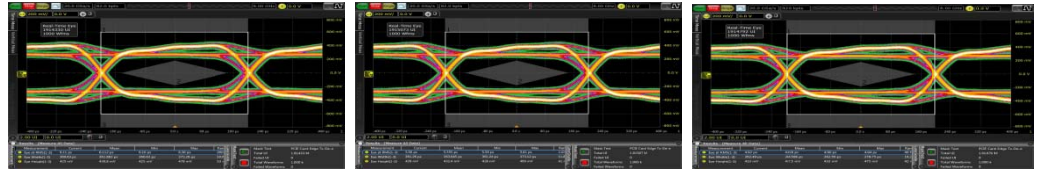
3 機種の発振器 (XG-2102CA, SG7050EBN, Other) を評価し、SG7050EBN が良い結果となります。

BER (bit error rate) Calculated by RMS jitter	Oscillator (100MHz Reference Clock)		
	Other oscillator	XG-2102CA	SG7050EBN
PCIe Gen.1 (2.5 Gbps)	1.2×10^{-20}	1.3×10^{-27}	7.5×10^{-31} (Best)
PCIe Gen.2 (5 Gbps)	7.9×10^{-08}	4.5×10^{-08}	2.6×10^{-08} (Best)

<PCIe® Gen.1 Data speed 2.5 Gbps>

RMS および Eye Pattern

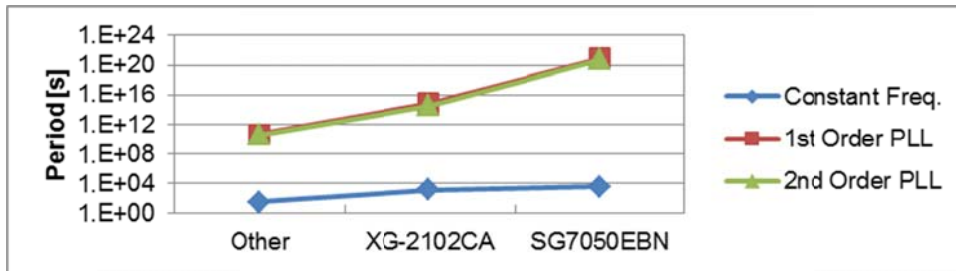
Eye Diagram Jitter RMS (Unit : ps)	Oscillator (100MHz reference Clock)		
	Other oscillator	XG-2102CA	SG7050EBN
(2 nd PLL CDR)	6.11	5.56	4.92



RMS より算出される BER (bit error rate)

BER (bit error rate) Capitulated by RMS jitter	Oscillator (100MHz reference Clock)		
	Other oscillator	XG-2102CA	SG7050EBN
(2 nd PLL CDR)	1.2×10^{-20}	1.3×10^{-27}	7.5×10^{-31}

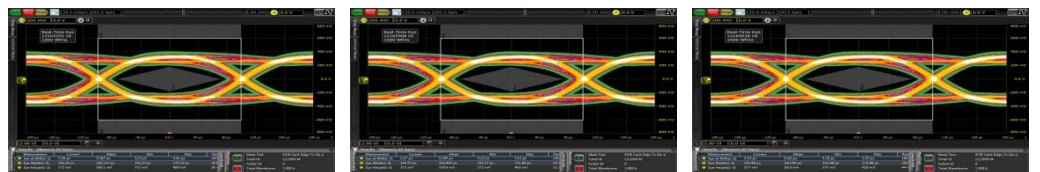
最初のエラー発生までの時間 (単位 : 秒) .



<PCIe® Gen.2 Data speed 5 Gbps>

RMS および Eye Pattern

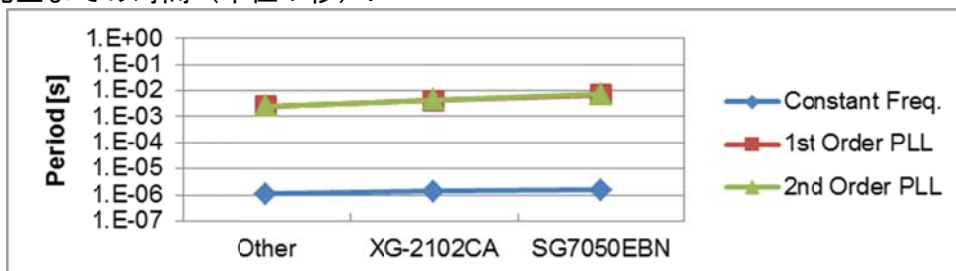
Eye Diagram Jitter RMS (Unit : ps)	Oscillator (100MHz reference Clock)		
	Other oscillator	XG-2102CA	SG7050EBN
(2 nd PLL CDR)	5.39	5.29	5.19



RMS より算出される BER (bit error rate)

BER (bit error rate) Capitulated by RMS jitter	Oscillator (100MHz reference Clock)		
	Other oscillator	XG-2102CA	SG7050EBN
(2 nd PLL CDR)	7.9×10^{-08}	4.5×10^{-08}	2.6×10^{-08}

最初のエラー発生までの時間 (単位 : 秒) .



PCI Express, PCIe は PCI-SIG の登録商標です

Altera, Stratix, Arria, Cyclone は、Altera Corporation の登録商標です。